

フロアプランとレイアウトの攻略法

- 警告! 「信号遅延」, 「信号の完全性」に由来するトラブルが急増中

箕輪政幸

フロアプランとレイアウトの概要について紹介する。ASICの世界では、こうしたチップの物理レベルの設計は、長らく半導体メーカーの仕事だった。現在、LSIの微細化や高速化が進み、配線遅延やクロストーク・ノイズなどを原因とするトラブルが頻発している。そのため、機器メーカーの論理設計者がフロアプランやレイアウトに手を染めざるを得ない状況になっている。当面、フロアプラン工程からレイアウト工程まで、論理設計者とレイアウト設計者が密に連携して作業を進める以外に適当な解決策はないようだ。

(編集部)

「歴史は繰り返す」のたとえのとおり、最近になってレイアウト系のツールが論理設計者にとって重要なツールになってきている。

1980年代前半まで、LSIのレイアウト設計は論理設計者の業務だった。ゲート数はたかだか1,000ゲート程度、配線層が1層の時代のことだ。自動配置配線ツールも現在のように成熟しておらず、論理設計者みずからセルの配置および配線を行うのが、もっとも効率的だった。

1980年代後半に入ると、LSIの大規模化が進み、2層配線が主流になった。自動配置配線ツールの機能が改善され、論理設計とレイアウト設計の分業が行われるようになった。機器メーカーが論理設計を担当し、半導体メーカーがレイアウト設計を担当するというASIC開発特有の分業体制も確立し始めた。このころ、集積度を見積もるために、半導体メーカー側でフロアプランが実施されるようになった。

1990年代後半に入ると、LSIの微細化にともない、配線遅延の影響が大きくなってきた。高速に動作する大規模ASICの設計は、より難しくなっている。しかし、マイクロプロセッサのような汎用LSIの高速化にともない、ASICもさらなる高速化を求められるようになった(図1)。このため、論理設計段階で予測した仮配線遅延とレイアウト後の実配線遅延の差が無視できなくなっている。論理設計者がフロアプランやレイアウトに手を出さざるを得ない状況になってきた。

とくに、現在の最先端プロセスである0.25 μm や0.18 μm の設計ルールでは、論理設計の初期段階からフロアプランやレイアウトを考慮しないと、要求される

動作周波数を得ることが、ほとんど不可能な状況になっている。

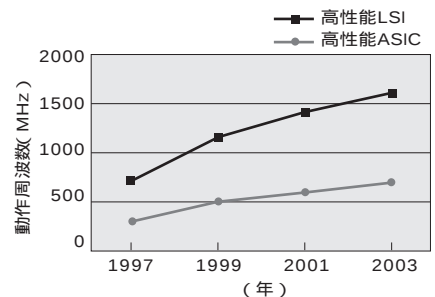
ここでは、こうした状況を踏まえて、現状のフロアプラン技術およびレイアウト技術について概観する。また、最近、急激に増えているレイアウト設計のトラブルの原因などについても取り上げる。

● 論理を物理にマッピングする

フロアプランとは、図2に示すとおり、論理設計された機能としてのハード・マクロ(CPU、メモリなど)、ソフト・マクロ(ユーザ論理など)、入出力インターフェース・セルを、面積や信号遅延を考慮して、チップの上に適切に配置する作業である。言い換えると、「論理」の世界を「物理」の世界にマッピングする作業ともいえる。

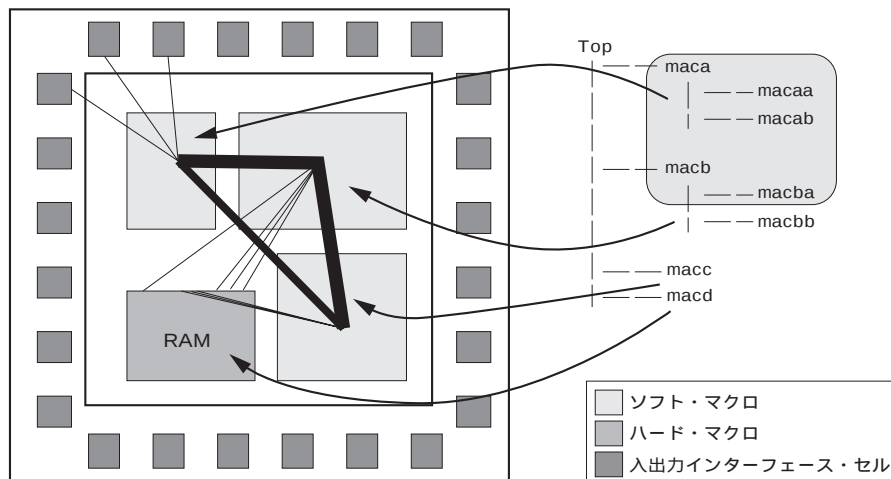
フロアプランを支援するツールをフロアプランナと呼ぶ。RTL設計の段階で使うものと、ゲート・レベル設計の段階で使うものがある。たとえばゲート・レベルのフロアプランナは、おもに以下のような機能を備えている。

ソフト・マクロの論理階層を物理階層(レイアウト階層)に組み換える機能
ソフト・マクロのサイズを見積もる機能
マクロ間の配線本数をもとに、適切なマクロの位置を決定するためのGUI
マクロ間の配線遅延を計算する機能
マクロ間の配線遅延からソフト・マクロのタイミング制約を生成する機能



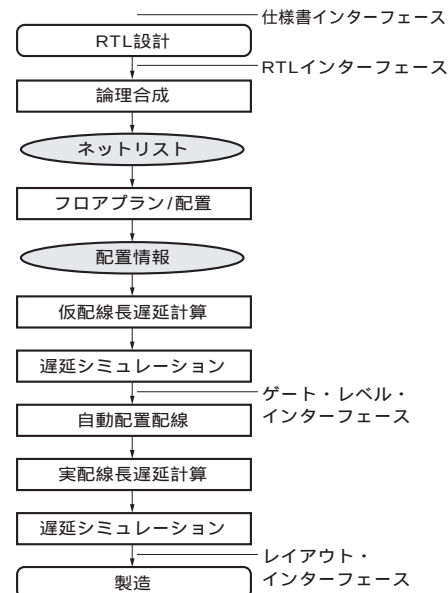
【図1】LSIの動作周波数のトレンド

汎用マイクロプロセッサの高速化にともなう、ASICも高速化を求められるようになってきた。図は米国SIA(Semiconductor Industry Association)の資料をもとに作成した。SIAのホームページ・アドレスは「<http://www.semichips.org/>」。



【図2】フロアプラン

フロアプランとは、ハード・マクロ、ソフト・マクロ、入出力インターフェース・セルをLSIのチップ上に適切に配置する作業である。



【図3】設計フローとインターフェース・レベル

ASICの顧客と半導体メーカーの間には、4種類のインターフェース・レベル(作業分担と責任分担の境界)がある。

1. レイアウト系ツールの基礎知識

特集の第1章でも述べられているとおり、ASICの顧客と半導体メーカーの間のインターフェース(作業分担と責任分担の境界)には、大まかに、

(0) 仕様書インターフェース

(1) RTL インターフェース

(2) ゲート・レベル・インターフェース

(3) レイアウト・インターフェース

がある(図3)。(1)~(3)のインターフェースに対応するレイアウト系のツールが、
[1] RTLのフロアプランナ(デザイン・プランニング・ツール)

[2] ゲート・レベルのフロアプランナ

[3] レイアウト・ツール

である。

以下では、それぞれのツールの概要と現状の課題を紹介する。

● 待望されるRTLフロアプランナ

RTLのフロアプランナとは、論理合成可能なRTL記述を入力とするフロアプランのためのツールである。RTLのフロアプランナ(デザイン・プランニング・ツールとも呼ぶ。特集第7章を参照)の基本的な機能としては、上述のゲート・レベルのフロアプランナの機能に加えて、

RTLを入力してゲート規模を見積もる機能

フロアプラン情報から論理合成ツールのための制約条件ファイルを出力する機能がある。

現状、RTL記述からゲート規模を予測する機能について、実用に耐え得るツールは存在しない。RTL記述の構文解析や簡易合成などから、高速かつ高精度にゲート規模を予測することは難しいことがわかってきた。同一のRTLでも、論理合成ツールに与える制約条件によって、ゲート規模が10倍近く変わることもある。

一方、RTL設計の途中で本格的な論理合成を行い、ある程度正確にゲート規模を見積もるアプローチもある。こうした手法を使う高位のフロアプランを開発しているEDAベンダもあるようだ。今後、ゲートの見積もり機能を含めた、高位のフロアプランの機能の向上に期待がかかる。

● 論理合成との連携が重要

ゲート・レベルのフロアプランは、以前から半導体メーカーや一部のASICユーザーによって実施されている。ゲート・レベルのフロアプランを実施する目的は、おもに以下の二つである。

デッド・スペース(チップ上のむだな領域)をなくして、適切なチップ・サイズを実現する。

所望の動作速度で動作するかどうかをレイアウトの前に確認する。

後者の機能は論理合成ツールとの連携が重要になる。図2に示したとおり、ゲート・レベルのフロアプランを実施すれば、マクロ間およびマクロと入出力インターフェース・セル間の配線長を予測できる。この情報を使って、より実チップに近い条件で再合成することが可能になる。

ゲート・レベルのフロアプランナは論理設計者向けのツールとして、数年前からEDAベンダや半導体メーカーから提供されている。論理設計者が手元で繰り返し配線遅延を評価できるという点で、有用なツールである。

● いつも成功するとは限らない

ゲート・レベルのフロアプランの課題は、後工程のレイアウト・ツールとの整合性である。

論理設計者にとって、フロアプランの作業は明らかに、従来はいらなかった余