

第3章

高速デジタル回路の高信頼設計 —EDAツールの活用とEMC対策

浅野 晃

デジタル・システムが高速化すれば、機能だけの回路設計ではなく、配線による信号遅延を考慮しなくてはならない。さらに、高周波システムとしてのふるまいにも注意する必要がある。回路設計者は、どのように取り組むべきか。筆者は、動作周波数が20MHzを超える場合、配線を伝送線路として扱

うよう推奨する。回路設計者が伝送線路シミュレータを使用し、配線による信号遅延だけでなく、反射やクロストークなどもチェックする必要があるという。その結果、開発効率が上がって開発コストも抑えられる。
(編集部)

1 設計者への要求と対策

●高速化への要求

電子機器は、デジタル化、高速化(高性能化)、低価格化によって急激に普及しました。設計者は、より高速で低コストの製品の開発を迫られています。しかし、デジタル回路の高速化は、広い周波数帯域の不要電磁波を増加させており、ほかの電子機器に影響を与えています。また、低電圧化や動作マージンの減少からノイズ・マージンが低下し、不要電磁波による誤動作が発生しやすくなりました。

このような電磁環境は、大きな社会問題となり、日本においては、1986年6月からEMI(電磁環境耐性: electromagnetic immunity)についての自主規制が始まっています。さらに、1996年1月からはEU(ヨーロッパ連合)にて、EMC(電磁環境適合性: electromagnetic compatibility)の規制が始まっています。設計者は、ノイズ問題を考慮し、ユーザが安心して使用できる製品を作っていかなければなりません。

このような背景から、デジタル回路の設計では、EMC対策が重要な課題となっています。高速化とEMC対策は、デジタル信号を“1”と“0”としてではなくアナログ信号としてとらえ、きれいなアナログ波形で動作させるという考え方で解決できます。高速化時代のデジタル

回路の設計とは、論理的なタイミングを設計するだけでなく、いかにきれいなアナログ波形を設計するかということが、最重要課題だといわれています。

しかし、従来と同じ手法で開発すると、設計工数の増加、コストアップ、タイムリに製品を開発できないなどの問題が発生します。この問題解決の手助けをしてくれるのが、EDAツールです。EDAツールをうまく使えば、高速化、EMC対策、コストダウンという3点をバランスよく行うことができます(図1)。

●高信頼化への要求

筆者は、おもに鉄道信号システムの開発に携わっています。信号機器というトリレーを思い浮かべる方も多いかと思いますが、運行管理から、信号機や転てつ機の制御にいたるまで、現在、ほとんどが電子化されてきています。信号機器は、大量輸送、省力化、低価格の要求により、高性能化(高速化)、コストダウンが必要になってきました(民生機器の状況と変わらない)。

高速化でまず問題となるのが、ノイズ環境です。信号システムは、外来ノイズによって、CRTがまともに写らないような場所にも設置されるからです。

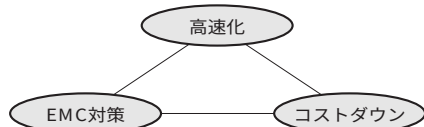
信号機器の故障が、事故にでもつながるとたいへんです。社会に与える影響が大きいので、ノイズによる誤動作など許されません。信号機器は、信頼性がもっ

とも重要な課題なのです。これらの要求を次のような手法改善によって実現してきました。

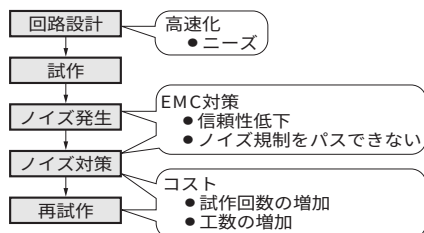
●開発効率を犠牲にしない対処法

従来の回路設計手法では、試作によって動作マージン、ノイズ対策など、回路の評価をしてきました。この手法では、高速化によって発生した高周波ノイズの対策が難しく、時間がかかりすぎます。また、部品の小型化、高密度実装化は、回路変更の妨げになり、試作回数も増えて、コストアップにつながります(図2)。

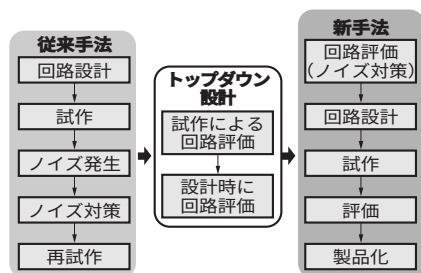
そこで筆者らは、EDAツールを用いることで、回路の評価を設計段階で行い、試作によってそれを確認するという手法



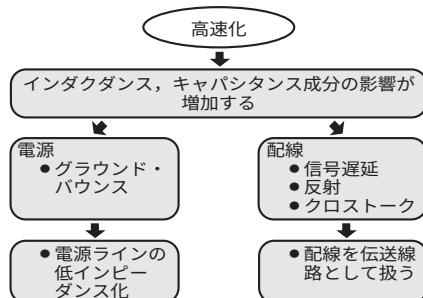
(図1) 高速デジタル回路設計への要求



(図2) 設計手順と高速化対応の問題点



【図3】新しい設計手法への転換



【図4】高速デジタル回路設計の問題点

ることによって、外部からのノイズにも強くなります。このように、デジタル回路を設計するには、その動作周波数を考慮しなければなりません。

●動作周波数で設計手法を変える理由——配線長の壁

筆者は、デジタル回路は、その動作周波数によって最適な設計手法を選ぶべきだと考えています。必要以上に詳細な設計をしても設計工数が増えるだけで効果が得られません。動作周波数によって設計手法を変え、効率よく設計を進める必要があります。

前述のように、動作周波数が低いときは、論理だけを考えれば設計でき、「デジタル回路はつなげば動く」などといわれていました。ところが、動作周波数が高くなるにつれ、ICの信号遅延が問題となります。そこでゲート段数、負荷、温度特性などを考慮した設計へと手法を切り変えて、周波数の壁を乗り越えてきました。さらに動作周波数を上げると、配線長というやっかいな壁が見えてきます。この配線長は、次のような問題を発生します（図5）。

(1) プリント基板上の信号伝搬速度

プリント基板上の信号伝搬速度を考えると真空中に比べて

信号伝搬速度=光速/√(実効比誘電率)の割合で遅くなります。実効比誘電率を4と仮定すると1秒間に約15万km、1nsでは15cm伝搬します。

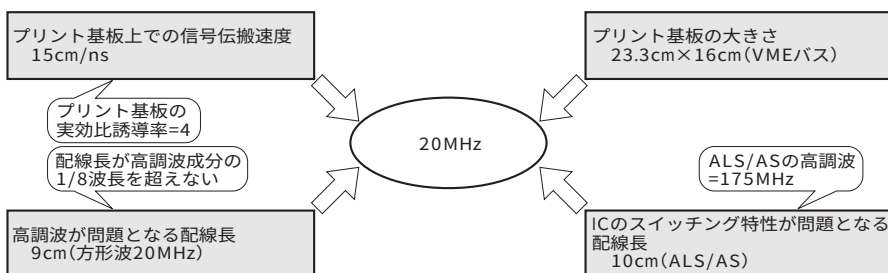
(2) 高調波

方形波の高調波は、その周波数の10倍まで含んでいると仮定すると、10MHzの方形波は、100MHzの高調波成分を含んでいることになります。100MHzのプリント基板上での波長は、

プリント基板上の信号伝搬速度/周波数なので約1.5mとなります。一般に配線の長さが高調波成分の1/8波長を超えると問題がでてくるので、1.5/8 0.18m以上で問題となります。同様に、方形波の周波数別に、問題が出る配線長を整理すると表1のようになります。

(3) デジタルICのスイッチング特性

LS型TTLの立ち下がり時間は、負荷



【図5】動作周波数で設計手法を変える理由

をとることにしました。

一見、設計工数が増加するように見えますが、試作と評価の時間短縮によって、トータルでの工数を削減することができます。また、試作費用や、電波暗室の使用料など、1回でも試作を減らすことができれば、かなりのコストダウンにつながるはずです（図3）。

2 動作周波数で設計手法を変える

●高速デジタル回路設計の問題点

動作周波数の低いデジタル回路では、次のような仮定が通用しました。

「デジタルICの発生する波形は、完全な方形波と見なすことができ、入出力遅延時間は一定であり、IC間の配線遅延は無視できる。また、接地線と電源線の配線は抵抗成分をもたない」

【表1】方形波と配線長

方形波	高調波	波長	配線長
5MHz	50MHz	3m	37cm
10MHz	100MHz	1.5m	18cm
20MHz	200MHz	0.75m	9cm

しかし、動作周波数が上がると、インダクタンス、キャパシタンス成分の影響が増加し、この仮定が通用しなくなります。その結果、次のような問題が発生します（図4）。

(1) 電源関係の問題

IC自身が発生するグラウンド・バウンス・ノイズなどにより回路が誤動作する。

(2) 配線関係の問題

信号遅延、クロストーク、反射などプリント基板上に誘起されるノイズにより、回路が誤動作する。

これらの問題により、論理的に正しく、かつ設計図どおりにプリント基板を作成しても、正常動作しないことがあるのです。(1)については、高速なデジタルICほど大きなノイズを発生するので、ICの選択、電源ラインとグラウンドのインピーダンスが問題となります。(2)については、プリント基板の配線を伝送線路として扱い、より高精度に設計することが必要となります。

これらの問題が解決できれば、回路から出る電磁ノイズによって、自身の回路やほかの機器を誤動作させることがなくなります。さらに、回路の動作が安定す