

1 失敗に学ぶ

● CSP の登場

数年前、CSP という小型のパッケージを開発した。CSP とは Chip Size Package とか Chip Scale Package といわれるチップ・サイズに近い小型の半導体パッケージの総称で、BGA (Ball Grid Array) といわれるパッケージの小型版である。このCSPは、EIAJで標準化され、さらに日本提案の形でJEDECで標準化作業が進められている。

● CSP の試練

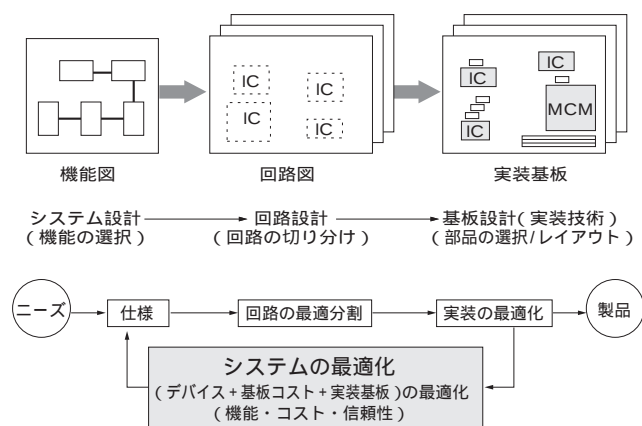
CSP 最初のユーザとしてソニーによる採用が決まり、他社にも拡販活動を進めた。売り込み先の製品企画担当者と打ち合わせに入ったが、非常に好評で採用方向で検討が進んだ。そして回路ブロックまでブレイクダウンされ、弊社の回路設計者との打ち合わせが始まる段で、電話があった。

「うちのボード屋が設計できないといっている。基板がきわめて高価になるらしい。第一、実装できないとクレームがついた」

事情を詳しく聞くと先方のボード担当者の話も理解できた。BGA を採用したことがなく、実装面の見えにくいんだボールのパッケージは不安なのだ。んだボールのセルフ・アライメント機能(後述)があるから実装歩留まりはすごくいいといっても、簡単に信用してもらえない。そうこうしているうちに日時はすぎ期限切れとなり「それでは従来のQFPで」となって幕が降りた。

何度、同じような経験をしたのか。デバイスが受注できればいいほうで、企画そのものが途中で見直されてしまい、キャンセルとなる場合もある(こうした経緯は販売からあとで報告される)。

われわれの営業力の不足もあるが、問題はCSPにあるのではなく、システム設計者が実装技術の知識に疎く、新しいパッケージは簡単あるいは何とか実装できるものと考えていることにある。パッケージに対する技術的な問題意識をもう少しもってもらえれば、よりいいシステムが早く、安価に開発できるのに、と思うことが多い。



〔図1〕総合最適化(total optimization)設計フロー

それを防ぐもっとも簡単な方法は、製品企画の段階でのレビューに実装関係者ないしはボード設計技術の関係者を加えることである。問題点が早期に顕在化して無駄がなくなる。筆者らも、そうした提案をしているが、なかなか理解されない。

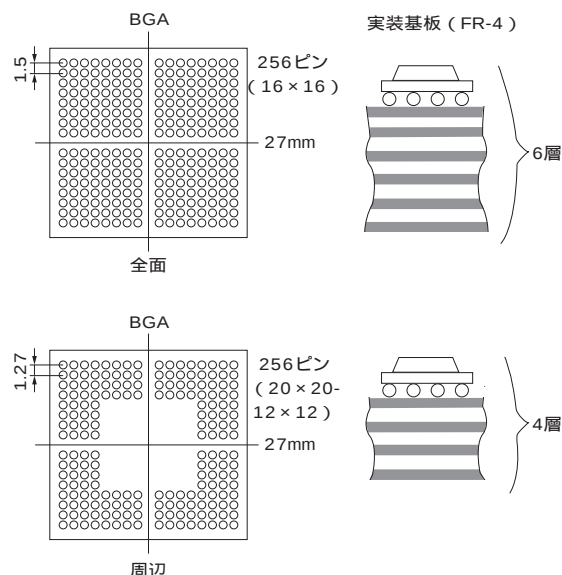
● 高速・大規模システム時代に備えて

これからのシステム開発では、規模の点、速度の点で、従来より一段上のシステムとなることが多いであろう。こうした設計で重要なのは、全体を見渡す視点である(図1)。トップダウン的な視点で、最適解を見いだす工夫を凝らさなくてはならない。従来のシステム開発フローにおけるデバイス、基板、実装方法のすべての設計を同時に進めないと、いいものできないということだ。

例をあげよう。図2に示すようにBGAのはんだボール配列が二つあったとする。パッケージ全面を使用してボールを並べるとそれを引き回すために6層必要となった。それをボール・ピッチを少し狭くして全体の外形を変えずに中心部のボールを抜いてしまうと、ほぼ4層の基板で足りる。コスト的にどちらが安いのか。

ボール・ピッチを元のままにしておけば、外形が大きくなる。だから、セットで使える実装面積に余裕があれば4層基板を使用し、余裕がなく小型にしたければ6層基板を使用することになる。何を優先させるかで判断が異なる。パッケージ単体でも基板単体でも決まらない。両方を組み合わせることで決まるが出てくるのだ。

つまりデバイスの性能やコスト、パッケージの信頼性のみならず、基板のコストや信頼性、そして実装のノウハウなど、すべてを検討して最適化しなければならない。



〔図2〕BGA形態と基板の総数の関係

【表1】実装不良率

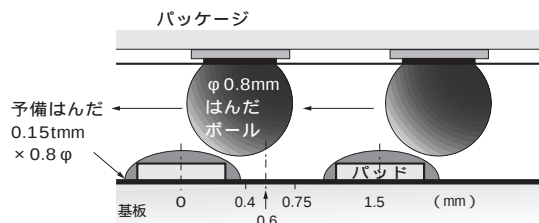
パッケージ	端子ピッチ (mm)	実装不良率 (dmp)	要求 コプラナリティ (Max. μ m)
QFP	0.65	150	150
	0.5	250	100
	0.4	1750	80
BGA	1.5	10	150
	1.27	65	150

【図3】
PBGAの外観



1.5mmピッチBGA

溶融はんだ表面張力によるセルフ・アライメントが可能



【図4】セルフ・アライメント機能

2 新パッケージの登場

2-1 エリア・アレイ型パッケージとは

● CSPおよびBGAの仲間

CSPの正式名称はFBGA(Fine pitch BGA)であり、BGAの仲間(FC(flip chip))とともにエリア・アレイ型パッケージに属する。

まず表1に実装不良率の例を示す。普及しているQFP(quad flat package)では、高密度化を目指して端子ピッチを狭くしていくと、0.5mmをすぎたあたりからその不良率が急激に悪化し、製造ラインに流せない状況になった。そこで登場したのがBGAである。

BGAはすでにPCのCPUなどで採用されている。なぜこうしたパッケージが出てきたのか。それは多ピン化への対応がまずあるが、その特徴を正確に理解しておきたい。

図3はよく見かけるプラスチックのBGA(PBGA)である。外観の特徴から明らかなように、はんだボールが並んでいる。そしてこの面状(エリア・アレイ状)のはんだボールで基板に接続する。ここに大きな特徴がある。

● はんだは表面張力作用ではんだボール位置に正しく移動

表1で見ると、BGAを採用すると不良率が減少することがわかる。実質的には不良ゼロが実現している。その秘密は溶融はんだのセルフ・アライメント(自動補正)機能にある(図4)。

仮にBGAがボード上に正規の位置からずれて搭載されたとしても、加熱されはんだが溶融温度に達すると、突然生き物のようにBGAはボード上の正規の位置に移動する。溶融はんだの表面張力が作用し、基板上の予備はんだと一緒に、その表面積を最小にするように力が働くのだ。二つの水銀玉をくっけると一つの大きな玉となる挙動と同じである。したがって、搭載位置精度が悪くとも、問題なく実装できてしまう。

現状出回っているBGAで1.0mm以上のボール・ピッチをもっていれば実装機を使わなくとも実装できる。こうした現象はBGAばかりでなく、そのファイン・ピッチ版であるCSPでも、200 μ mといった狭ピッチのFC(flip chip)でも、同様の現象が起こる。

この結果、はんだ不良率はゼロ近くまで下がっている。不良率がppmレベルにまで下がったという話もきく。QFPしか経験がない人には驚異と考えるであろう。

2-2 CSPとは

CSPとは、前に書いたようにBGAの小型版である。外形をチップ・サ

イズに近いレベルまで小型にしたことによる技術的な課題もあるが、それも基本的には程度の差はあれBGAと同じである。もちろん、CSPの影響で、半導体デバイスの性能が劣化することはない。逆に小型であることから、LCR特性の点では、従来のどのパッケージよりも有利となる。

この観点からは、FCやベア・チップの選別済み品であるKGD(known good die)のほうが性能面では有利だが、使い勝手から見ればCSPに分がある。

CSP実装のもう一つの特徴は、従来の表面実装用パッケージと同様、一括リフローが可能であるということだ。つまり、セット・メーカの実装設備を大きく変化させることなく、使用が可能である。

2-3 CSPの現状

● 多様化する構造

CSPが世に出てから、数年が経過しその認知度も大きく向上した。携帯電話やビデオ・カメラなどの分野ではもはや主流のパッケージとなった。最近では、半導体製品の品ぞろえも充実しつつあり、汎用品であるDRAM分野に進出しようとしている。おそらく国内では1997年度で1億個/年程度の出荷実績があると思われる。2000年には数億個/年となるだろう。

これまでに知られているCSP構造は10種類以上もある。材料、設備メーカーからは種類が多すぎて対応がつかないので何とかしてほしいといわれている。残念ながら、これはいわば秩序ある混沌ともいえる状態で、過渡期には不可避なのかもしれない。こうした状況は20余年前の集積回路の黎明期にも発生した。

現在は、EIAJのような業界団体がボール・ピッチのようにユーザにとって重要な基本的部分の規格をガイドラインとして提示しており、それを基にバリエーションが生じている。米国の標準化機関であるJEDECとの整合も進んでおり、国際的なガイドラインと認知されつつある(表2)。

CSPのパッケージ材料をみると、無機材料、金属材料、有機材料のコンポジットであり、有機系の主基材が圧倒的に多数を占めている。その形態も材料ではテープ、PWBなどとバリエーションがある。

組み立て技術を見ると、従来どおりのワイヤ・ボンディングが主流であるが、今後は電気的な特性向上を考慮してワイヤ・ボンディングからFC(フリップチップ)接続をメインにした形態になってくる。

● 実装信頼性がクローズアップ

信頼性の面では、従来からある半導体単体の信頼性保証だけでは不足だ。従来はQFPのようにリードが発生したはずみや衝撃力を吸収してくれたので、実装ボードとパッケージを独立した存在として評価しておけばよかった。ところが、BGAやCSPのはんだボールによる接続では、実装基板に