

システムLSIのテストは BIST, スキャン回路, 専用バス の併用へ

多田 哲生

1998年10月19日～22日、米国 Washington D. C. で International Test Conference (ITC) '98 が開催された。今年の ITC のメイン・テーマは「core challenges」、つまりシステム LSI に組み込む大規模回路ブロック(コア)のテスト手法である。英国 ARM (Advanced RISC Machines) 社の President & CEO である R. Saxby 氏による基調講演、テクニカル・セッション(論文発表)、各種テスト設備ならびにテスト設計用 EDA ツールの展示などが行われた。

ITC がスタートしたのは1970年のことである。米国東部のニュージャージー州に147名のテスト技術者が集まった。当時のトピックは半導体メモリのテスト手法だった。ちょうど計算機の主記憶が磁気コア・メモリから半導体メモリに転換する時代である。ITC は半導体メモリのテストを扱う学会として発足し、その後、カバー範囲を広げて、現在では世界最大の LSI テストの国際学会/展示会になっている。

ここでは ITC'98 のテクニカル・セッションのトピックを報告する。発表論文の内容としては、テスト方法に関するものが一番多く、ついで LSI のテスト設計、テスト設計用 EDA ツールの順になっている。最近の傾向として、 I_{DDQ} テスト (CMOS LSI の静止時の電源電流を測定して故障を検出する方法)、embedded RAM テスト、マイクロプロセッサ関連の論文が増えている。



● IP ベンダの CEO が基調講演

ARM 社の Saxby 氏による講演は、初日に行われた。同氏は、コアのテスト・パターンは再利用性を考慮して開発する必要があること、コアに対する明確なテスト戦略が必要であること、などを主張した。さらに、ARM 社が採用しているテスト手法も紹介した。同社では、

- (1) LSI テスタによる機能テストの同時実行
- (2) IEEE 1149.1 に準拠したシリアルなテスト・パターンの入力
- (3) オンチップ・バスを利用したコアへのテスト・アクセス
- (4) スキャン回路によるフルスキャンといった手法を併用している。

それぞれのテスト手法は、チップ面積、テスト時間、外部ピン数、テスト・パターンの生成時間、デバッグの容易性についてトレードオフの関係にある。ユーザは、それぞれの利害得失を検討して、最適な手法を選択する必要があるという。 I_{DDQ} テストもまた故障検出率の向上に効果があるが、採用するかどうかについては、現在検討中であるとのことだった。

さらに米国 Lucent Technologies 社、Bell 研究所の V. D. Agrawal 氏による招待講演では、SOC (system on a chip) とプリント基板のテストを比較し、SOC テストのあるべき姿についての分析が示された。具体的には、SOC 内部のメモリ、アナログ回路などを分割し、ブロック単位でテストできる構造にする。各ブロッ

クへのテスト・アクセスにはバウンダリ・スキャン・テストとアナログ・テスト・バスが利用されるという。

● 焦点はコア・テストのコスト

今年の ITC では、コアのテストに関するセッションが多数設けられた。そのうちの一つのセッション「Advances in Core Test」では、コアのテストにかかるコストを削減する技術が提案された。

まず、オランダの Philips Research Laboratories と Eindhoven University of Technology は共同で、テスト時間が最小になるスキャン・バスの接続方式を求める手法を発表した (J. Aerts ほか、「講演番号 18.1」)。コアとコアの間のスキャン・バスの接続方法には、

- (1) マルチプレクサによる接続
- (2) デイジィ・チェーン接続
- (3) 非接続 (コア単位に別々にテスト)

の3とおりがある。それぞれの方式に対して、接続するコアの数、コアに対して用意するテスト・パターン数、ピン数を計算し、最適な接続方法をみつける。

米国の University of Texas は、テスト・パターンのデータを圧縮してテスト・コストを削減する手法を開発した (A. Jas ほか、「講演番号 18.2」)。多数の I/O ピンをもつコアをテストするとき、テスト・パターンのデータ量が膨大になるという問題がある。とくに、スキャン・テストを実施する場合には、非常に長いパターンを扱わなければならない。そこで、LSI テスタに与えるテスト・データをあらかじめ圧縮して、高速処理しやすくしておく。テストの際には、同じチップに集積した専用のデコード回路を使って元のテスト・データに変換する。この手法では3ビットのランレングス符号化とサイクリックなスキャン・チェーンを使っている。これによって、テスト時間の短縮と、LSI テスタに入力するテスト・パターンの容量の削減を実現した。

一方、九州大学と九州システム情報技術研究所は、ATPG を利用する機能テストと BIST (built-in self-test) を併用してテ



スト時間を短縮する手法を共同開発した (M. Sugihara ほか「講演番号18.3」). 対象となるチップは複数のコアを搭載する SOC である. それぞれのコアに対して, BIST 回路から与えるテスト・パターンと外部の LSI テスタから与えるテスト・パターンの配分を適正にコントロールして, テスト時間を低減する. 実験では, テスト時間が 90% 削減した例もあったという. ただし, 複数のコアを同時並行にテストすることになるため, 消費電力の増加についての質問が出ていた.

● DRAM コアを一括してテスト

メモリ・コアのテスト手法に関するセッションも設けられた. まず, Lucent Technologies 社の Bell 研究所は, メモリの歩留りを向上させる冗長メモリ・セルとカラム置換制御回路を 1M ビット SRAM に集積して, その効果について発表した (I. Kim ほか「講演番号43.2」). メモリ・テスト・パターンは 17N の方式を使用した. カラム置換制御回路の面積はチップ全体の 4% 以下である.

一方, ドイツの Siemens Semiconductor 社は, 最大 10 個の DRAM コアと, それに付属するマルチプレクサを同時にテストできる回路を発表した. このテスト手法では, まずメモリのコア部と制御回路部 (ロジック部) を分離する. メモリ・コア部はチェッカ・ボード・パターンで, 制御回路部はスキャン・テスト手法でテストする. ハード・ディスク用 LSI やグラフィックス用 LSI に今回の回路を組み込んで, 実際に効果を確かめた.

● 最新プロセッサのテストに人気

毎年多くの聴講者を集めている人気の高いセッションが「Microprocessor Testing」である. 各社の最新マイクロプロセッサのテスト手法が紹介される.

まず, 米国 Motorola 社は PowerPC603e のテスト手法を紹介した (C. Hunter ほか「講演番号19.1」). 同社はこのプロセッサを, 4 力所の分散した拠点で開発している. それぞれの拠点でコ

アを開発し, 最終的に 1 チップにまとめる. つまり, 各拠点で開発されたコア用のテスト・データを, 一つのテスト・データにまとめる作業が必要になる. そこで, 消費電力, クロック, ピン接続など, テストに必要な項目のガイドラインを定めて, テスト・データを短時間で一つにまとめられるようにしているという. テスト手法としては, レベル・センシティブ・スキャン設計法を使っている. メモリ部には BIST を, それ以外のコアについてはバウンダリ・スキャン・テストを適用した. バウンダリ・スキャンは LSI の製造テストと, 機器レベルのボード・テストの両方に利用している.

次に, 米国 Texas Instruments 社が UltraSPARC-III のテスト手法を発表した (A. Kinra ほか「講演番号19.2」). 同社の場合, RAM 部には専用のメモリ・テスト手法を, ロジック部にはスキャン・テストを適用している. 同社のテスト手法では, RAM ブロックごとにビットマップ情報を得ることができる. また, 実動作に近い速度で RAM にアクセスできる. スキャン・テストについては, 標準的なエッジ・トリガ・クロックを用いたマスタ・スレーブ方式を採用している.

米国 Compaq Computer 社は, Alpha 21264 のテスト手法を紹介した (D. K. Bhavsar ほか「講演番号19.3」). 同社はメモリ部に BIST を, ロジック部にバウンダリ・スキャン・テストを採用している. 外部クロック速度によるテストだけでなく, 内部クロックの動作速度でのテストも実現しているという. テスト回路の追加による面積的なオーバーヘッドはチップ全体の 0.2% 程度である.

● 最新プローブ・カードの特集が登場

今回, LSI テスタのプローブ・カードやインターフェースについてのセッションも初めて設けられた. このセッションでは, 今年 5 月末に開催された Southwest Test Workshop 98 の内容がチュートリアルという位置づけで紹介された. Southwest Test Workshop はウェハ・テ

ストやウェハ・プローブの技術に特化した学会であり, 参加者数も多い.

まず STMicroelectronics 社は, 16 チップのウェハを同時にテストして, テスト・コストを低減した事例を紹介した (H. Deshayes 「講演番号11.1」). 被テスト・チップは Motorola 社製のマイクロコントローラ, 使用テスタは米国 Schlumberger ATE 社の ITS9000CV, ウェハ・プローブ・カードは米国 IBM 社の C4 技術 (縦方向の複数の細いワイヤからなる構造) を使っている. 単一チップのウェハ・テスト用のプログラムを複数チップ用に変換するソフトウェアも開発した. さらに 120 種類のパラメータを比較してテスト・コストを分析するソフトウェアを開発し, テスト・コスト低減の効果を定量的に示してみせた.

また, 三菱マテリアル社は, フォトリソグラフィック・パターン技術を利用して, 薄い銅箔を微細加工し, 間隔が 45 μ m と狭ピッチのプローブ・カードを試作した (T. Ishii ほか「講演番号11.2」). 特徴は, 高周波 (4.23GHz) 帯域で利用できる点と 1,000 ピンに対応している点にある. 100 万回コンタクトした後でも, 抵抗値は一定だったという. 現在, 500 パッド, 45 μ m 間隔の金バンプ構造の LSI に適用して実験している.

このほか IBM 社は, 1977 年に同社が特許を取得した縦型アレイ構造のプローブ・カードを紹介した (F. L. Taber, jr., 「講演番号11.3」). プローブ・カードの事業面での報告が中心で, 2001 年には縦構造のプローブ・カードが全プローブ・カードの 40% を占めると予測していた. 報告内容はやや宣伝的であった.

なお, 来年の ITC 98 は, 1999 年 9 月 28 日 ~ 30 日に米国東部のニュージャージー州 Atlantic City で開催される. テーマは「Test and the Product Life - Cycle」. 詳細は「<http://www.itctestweek.org>」に掲載されている.

ただ・てつお

三菱電機(株) / ITC アジア小委員会委員長