



Verilog-HDLによる ボード設計の実例

関口英明

ハードウェア設計者の多くは、Verilog-HDLやVHDL(以下、HDLと呼ぶ)をASICやFPGAの開発にしか使っていない。しかし、HDLはIC設計専用言語というわけではない。筆者らは、HDLをボード設計に使っている。シミュレーションを行い効率よく開発することを目的としている。使用デバイスがすべて74シリーズであっても、もちろんシミュレーションできる。ここではHDLによるボード設計について、実例をあげて説明する。(筆者)

1 「HDLでボード設計」の意味

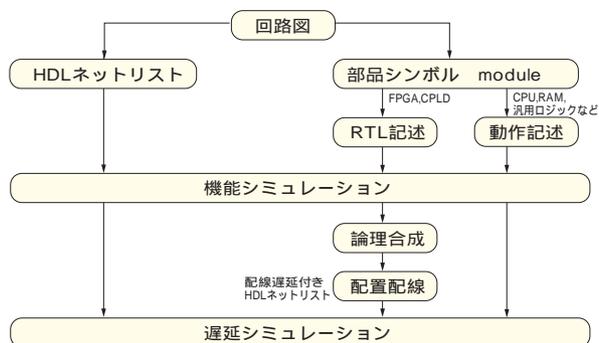
HDLでボード設計といっても、ボード全体を論理合成して回路生成を行うわけではありません。ボードの部品の配置配線は、従来どおりのプリント基板開発用CADを用います。そのための回路図も用意します。ここでの「HDLでボード設計」とは、HDLで「ボード全体をシミュレーション」することを示します。

また、このシミュレーションは、CPUのモデルを使用してROMに書いてある実機プログラムを実行するものではありません。プログラムに相当する機能モデルをHDLで書き、CPUのモジュール内に組み込みます。たしかにCPUのモデルとプログラムを使用したほうが正確にシミュレーションできます。しかし、それではシミュレーション時間があまりにかかりすぎて、設計効率が上がりません。

まず必要なのは完璧なシミュレーションではなく、効率的な開発です。CPUのモデルを使用した厳密なシミュレーションを行わなくても、ここに示す手法だけでも十分効果が出るのです。

2 HDLでボード設計をする理由

HDLを使う理由は、開発の効率化を図るためですが、より具体的に述べると以下の点があげられます。



【図1】HDLによるボード開発の設計フロー

(1) ボード・シミュレーションにより設計の手もどりをなくす

設計途中で、所期の機能実現が難しいことが発覚して、設計工程の前段階に差し戻しになることは避けなければなりません。とくにシステムが複雑になると、単体で動作する機能ブロックを集めても、システムとしてうまく動作しないことがあります。システム・レベルでの検証はきわめて重要になります。

(2) テスト作業の効率化

また、ASIC、FPGAなどの機能を確認するためにテスト・パターンを書きますが、個々に行うのは効率がよくありませんし、システムのな見地からも不備となりやすいのです。そこで複数のFPGA、周辺回路も加えてテストできると効率的です。つまり、ボード全体をシミュレーションすることです。

(3) プリント基板設計用回路図の利用

さらに、プリント基板を製作するための回路図を利用することにより、回路図の信頼性を上げ、設計の手戻りを少なくし、設計期間を短縮化できます。安価で未成熟な回路図エディタでは、時に操作を誤ると「回路図では接続されているのに、ネットリストは接続されていない」というトラブルが発生します。そういった回路図エディタの特性をつかみきれていない導入当初は、赤ペンで回路図とネットリストをチェックしていました。ボード・シミュレーションを行えば、そのようなことも防げます。

3 HDLによるボード開発手順

基本設計フロー

基本的な設計フローは図1のようになります。

(1) プリント基板を製作するための回路図を書く

具体例として、図2のようなCPU、RAM、CPLD、コネクタという構成の回路で説明を進めます。これは簡単なDMA制御回路です。

- DMA停止中はCPUが、RAMをアクセスできる。
- DMA開始後、RAMの内容をDMAでコネクタに出力する。
- DMA終了後、CPLDからCPUに割り込みが出力される。

HDL設計に使用するからといって、HDLをとくに意識する必要はありません。この回路図はプリント基板の製作に使用するので、HDLのための小細工はしないほうがよいからです。ここでは、図研の回路図エディタ「System Designer」を使用しています。

(2) 回路図のHDLネットリストを出力する

図2の回路図のHDLネットリストは、リスト1のようになります。ここではシミュレーションに不要なバスコンなどが出力されていません。これはSystem Designerの機能です。

(3) 回路図シンボルをHDLモジュール化する

図2の回路図シンボル「CPLD」をモジュール化すると、リスト2のようになります。I/O情報だけを含んだモジュールです。ここに各部品の動作

