

通倍PLLを用いた PLD回路

連載

石川 康彦

第5回(最終回) PLDを使った設計テクニック

連載の最終回(第5回)では、高速デジタル回路で威力を発揮するPLLデバイスを
用いたPLD応用回路を紹介します。発振
器からのオリジナル・クロック(50MHz)を、
PLLの通倍機能を用いて2倍(100MHz)
にします。PLDの内部は100MHzで動作
し、外部インターフェースはオリジナルの
50MHzに同期します。PLLデバイスを
PLDと組み合わせて応用した事例です。
最終的なPLL制御方式が見つかるまでの
試行錯誤の過程も(恥ずかしながら)公開
します。(筆者)



Ultra-DMA66への対応

●新規格に対応させたい

今回の通倍PLLを使ったターゲットも、
IDEアナライザで使う回路の一部となりま
す。これまでの事例で何回か紹介したIDE

アナライザにおいて、IDEバスの新規格
であるUltra-DMA66(以下、UDMA66と
略す)転送モードをトレースするために設
計したイベント検出基板です。

IDEアナライザは、システム・クロッ
クの動作周波数が50MHzなのでクロッ
ク周期は20nsとなります。これまでの
UDMA33プロトコルまでは、20ns間隔の
信号サンプリングでなんとかトレースで
きました。ところが新しいUDMA66転送プ
ロトコルでは、信号サンプリング間隔が
20nsでは遅すぎて正確にトレースできな
いことがわかりました。

このため当初、システム・クロックを
倍の100MHzとしたアナライザを新規に
開発しようと考えました。しかし、開発
期間を見積もったところ、本体ボードを
全部設計し直した場合、市場が要求する
タイミングに製品を投入できなくなるおそ
れがありました。製品リリースの遅延は市
場シェア維持にとって致命傷となりかね

ないので、開発の遅れは絶対に避けなく
てはなりません。

●ボッド基板を新規設計

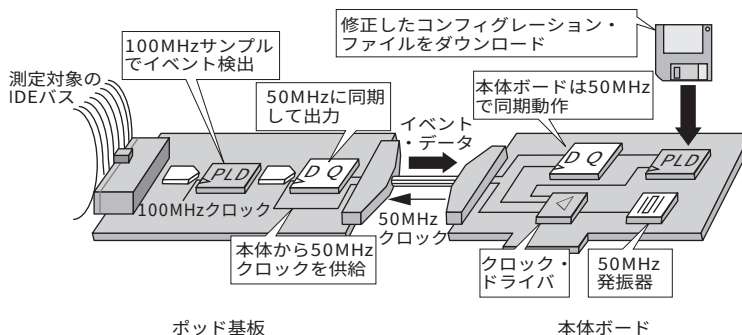
そこで図1のように、50MHz動作の本
体ボードはそのまま使い、UDMA66をト
レースするためのボッド基板(写真1)を新
規に作ることにしました。

ボッド基板では、100MHzのサンプリ
ングでUDMA66イベントを検出します。
そのイベント・データは、本体ボードから
供給される50MHzのシステム・クロック
で同期させてから転送することにした。

もちろん、このイベントのサンプリング
方式の変更にともない、本体ボードのPLD
の内部回路も修正が必要です。しかし、
本体ボードの各PLDはSRAM構造の
FLEX8000なので、修正したコンフィグ
レーション・データを使えば本体ボードは
そのまま使えます。こうすれば新規に作る
のはボッド基板だけなので、製品のリリー



【写真1】100MHzでサンプリングするボッド



【図1】ボッド基板で100MHzサンプリング

スを遅らせずにすみそうです。

また、UDMA66のイベント自体は10ns間隔の100MHzで検出する必要がありましたが、次のイベントまでの発生間隔は最小でも25ns以上あります。このため、イベントの収録間隔が20nsである本体ボードをそのまま使うこと自体には問題はなかったのです。

PLLの利用

ポッド基板ではイベントのサンプリングに100MHzのクロックが必要となります。最初は100MHzの発振器を使うことも考えました。しかしポッド基板の電源電圧は3.3Vです。入手性に不安がある3.3V仕様の100MHz発振器はあまり使いたくありません。そこで、本体ボードから供給される50MHzのシステム・クロックをソースとして通倍PLLで100MHzを作

り出すことにしました。

また、100MHzのクロックでサンプリングされたイベント情報は、最終的には本体ボードの50MHzに同期させて出力する必要があります。PLLを使えばこの2クロックの位相が合うように制御できるので、クロックの立ち上がりエッジのタイミングが一致します。したがって100MHzの信号ソースを50MHzに同期させる部分で、メタ・ステーブル防止用の冗長なD-FF(フリップフロップ)が省略できるメリットもあるだろうと考えました。

●PLLデバイスの機能

PLLデバイスは、内蔵したVCOで発生させたクロック信号と、入力したリファレンス・クロック信号の周波数と位相を合わせるようにフィードバックを設けたアナログ/デジタル混在デバイスです。パソコンのほとんどのメイン・ボードにはこの

PLLデバイスが使われています。また、バッファ・タイプのSDRAMモジュールにも、モジュール内にPLLデバイスが使われています。モジュールに入力されるクロックから、データ出力までの遅延時間(CLOCK to OUTPUT時間)を短縮するために積極的に用いられています。

このように高速クロック信号のタイミング制御に有効なPLLデバイスですが、ノイズに敏感なアナログ部があります。このため実装に注意しないとすぐ誤動作したり、あるいはジッタ・ノイズが増加するといった欠点があります。とくにアナログ電源部や、一部が外付けとなるアナログ・フィルタでは、その部分の部品配置や基板パターンを慎重に設計する必要があります。

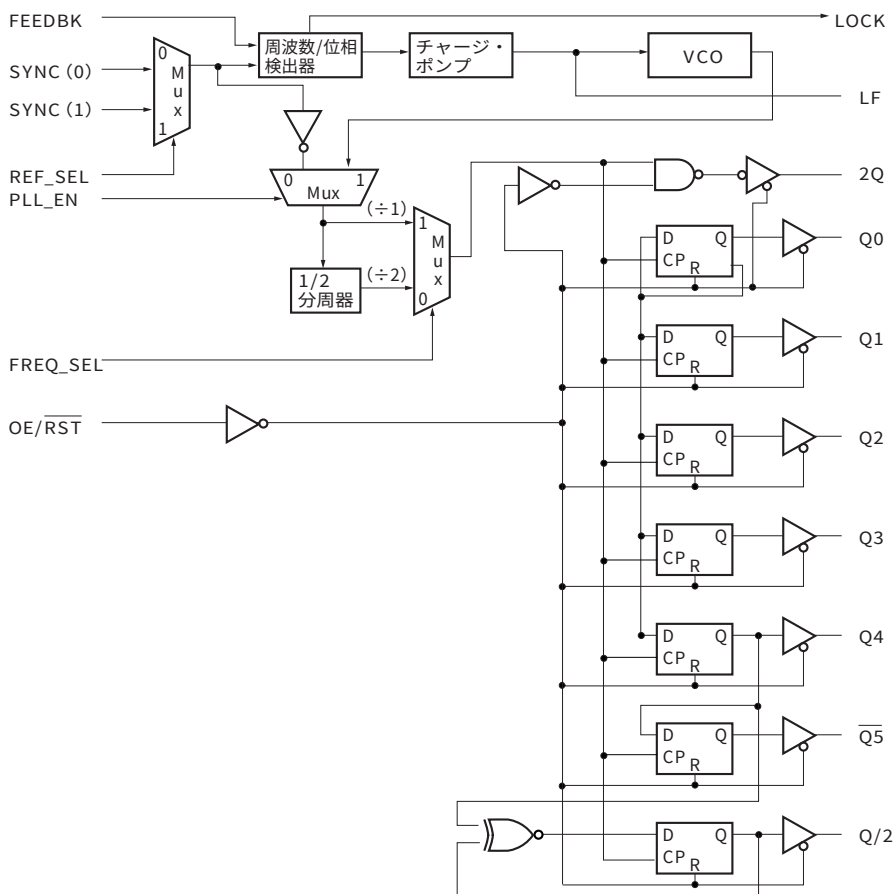
また、デジタル部でも反射などによってPLLのフィードバック信号の品質などが悪化すると誤動作します。実際に実験のため作った評価基板でフィードバックのジャンパ配線を終端せずに10cmくらいに伸ばすと、誤った周波数でロックしたり、ロック自体しなかったりする現象が見られました。

そこで、今回は実設計に入る前に評価基板を作って評価実験を行いました。筆者自身、PLLデバイスを使って回路設計するのは初めてでした。そこで事前に、データシートに載っていないデバイスの特徴を習得する必要があります。また、仕様どおりの実力が出せるのかを確認することも重要なポイントでした。

●PLLチップは74FCT388915T100J

今回PLLチップには、電源電圧3.3Vで動作するIDT社の74FCT388915T100Jを使いました。28ピンのPLCCパッケージです(SOPタイプもある)。また、このグレードのものは最大100MHzの同期PLL出力が得られる仕様となっています。図2にこのチップのブロック図を示します。

このチップは、入力チャンネルがSYNC(0)/SYNC(1)の2本あり、REF_SELで選択できるようになっています。PLL_EN=1となると、FEEDBKピンからのクロックが、入力クロックに同期するよう制御されます。FREQ_SELピンで、クロックの分周比が



【図2】 74FCT388915Tのブロック図