



ispPACによる アナログ回路の作成

川越 靖

デジタル回路のプログラマブル・デバイス (FPGA/PLD) は、さまざまな種類が発売されており、広く普及している。しかし、アナログ回路のプログラマブル・デバイスは、種類も少なく、まだあまり普及していない。本稿では、アナログ回路のプログラマブル・デバイスのうち、米国 Lattice Semiconductor 社の ispPAC シリーズを取り上げる。評価キットを使用し、回路を試作し、実際に動作させた。(編集部)

はじめに

FPGA/CPLD は、現在ではハードウェア設計にはなくてはならない存在になっています。とくに、ISP (in system programming) 機能を備えた CPLD は、デジタル IC の置き換えとして、実験試作から製品への採用まで、幅広く活躍しています。標準ロジック IC (74 シリーズ、4000 シリーズ)

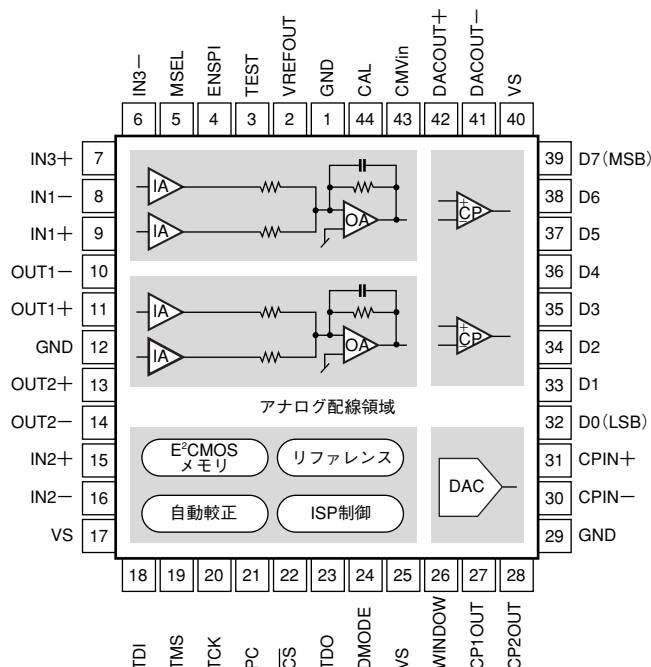
の製造中止や廃品種が相次ぐなか、ソフトウェア的に対応できる CPLD は必須とならざるをえない状況です。

対照的に、アナログ回路については、それぞれの機能を 1 チップ化したスペシャル・ファンクション IC が活躍しています。アナログ回路の場合、論理的な ON/OFF だけではなく、温度特性、ノイズなど複雑な要素が数多く関係してきます。このため、できる限り簡単に使えるようにと、IC 化されていく傾向があるのです。しかし、特性がチューニングされているぶん、たくさん売れる分野向け (たとえば携帯電話) の製品はあるけれど、ちょっと機能が違うだけで別の用途では使えないとか、あるロットを出し終えてしまうと、すぐにモデル・チェンジといった状況で、カタログにあっても実際には入手できないといったようなこともしばしばです。

このような状況で、だれでも考えつくのが、アナログ回路



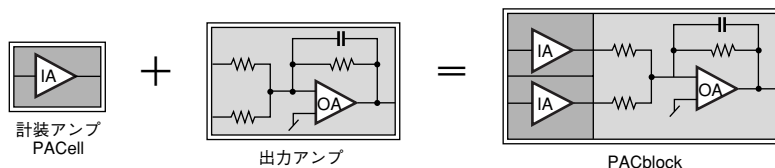
〔図1〕 Lattice Semiconductor 社のホームページ



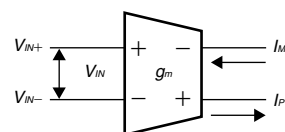
〔図2〕 ブロック図

〔表1〕DC 特性

記 号	パラメータ	条 件	min	typ	max	単 位
PACblock アナログ出力						
$V_{IN \pm}$	入力電圧範囲	V_{IN+} および V_{IN-}	1		4	V
$V_{IN-DIFF}$	差動入力電圧変動	$2 V_{IN+} - V_{IN-} $	6			V _{P-P}
V_{DS}	差動オフセット電圧	$G=10$ $G=1$		20 0.2	100 1.0	μ V mV
$\Delta V_{OS} / \Delta T$	差動オフセット電圧ドリフト	$-40 \sim +85^{\circ}\text{C}$		50		$\mu\text{V}/^{\circ}\text{C}$
R_{IN}	入力抵抗			10^9		Ω
C_{IN}	入力容量			2		pF
I_B	入力バイアス電流	DC		3		pA
e_N	入力電圧ノイズ密度	10kHz, $G=10$		38		nV/ $\sqrt{\text{Hz}}$
PACblock アナログ出力						
$V_{OUT \pm}$	出力電圧範囲	V_{OUT+} および V_{OUT-}	0.1		4.9	V
$V_{OUT-OFF}$	差動出力電圧変動	$2 V_{OUT+} - V_{OUT-} $	9.6			V _{P-P}
$I_{OUT \pm}$	出力電流	ソース/シンク	10			mA
V_{CM}	同相出力電圧	$(V_{OUT+} + V_{OUT-}) / 2 : V_{IN+} - V_{IN-}$	2.475	2.500	2.525	V
PACblock 静特性						
G	プログラマブル・ゲイン範囲	各 PACblock	0		26	dB
	ゲイン・エラー	$R_L=300 \Omega$ 差動出力			4.0	%
	ゲイン・マッチング	同一 PACblock の 2 入力間			3.0	%
$\Delta G / \Delta T$	ゲイン・ドリフト	$-40 \sim +85^{\circ}\text{C}$		20		ppm/ $^{\circ}\text{C}$
PSR	電源除去率	1kHz (差動) 1kHz (シングルエンド)		80 77		dB dB



〔図3〕PACblock と PACCell の関係



〔図4〕PACCell

のCPLDです。「OP アンプとアナログ・スイッチを組み合わせた簡単なんじゃないの」と思われる方もいるかもしれませんが、ただ実際の応用として考えると、対象とする用途により、オフセット、スルーレート、抵抗、コンデンサ、精度などの要求もばらばらで、やっぱりアナログでのCPLDは構成不可能なのだろうかと、思ったものでした。

そんな折、CPLD メーカーの米国Lattice Semiconductor 社からアナログCPLD (?) ispPACが登場してきました(図1)。

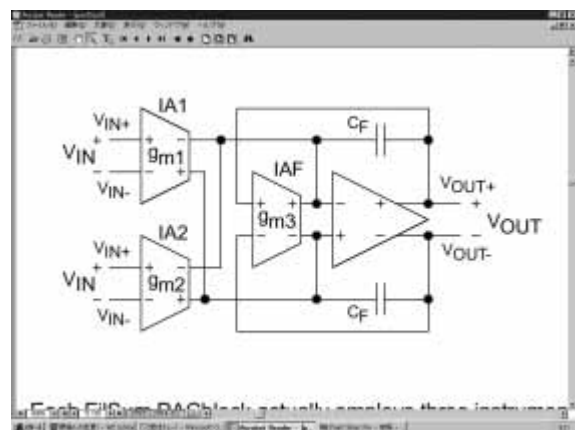


●ispPACの内部構成

ispPACは、In System Programmable, Programmable Analog Circuitの略で、Lattice Semiconductor 社から発売された、アナログ機能のPLDです。

アナログというと、まずはOPアンプが思い浮かびます。ispPACはブロック化されたOPアンプを1チップ内に実装し、その間をプログラマブルに接続できる、と考えればいいと思います。図2および表1にispPAC20の基本構成とDC特性を示します。

ispPACの中核を成すのがPACblockと呼ばれるOPアンプの代わりをする回路ブロックです。このPACblockは、図3のように、PACCellと呼ばれるトランス・コンダクタ・アン



〔図5〕PACblock

プから構成されています。PACCell(図4)は入力差電圧に比例した電流が出力されるものです。PACCellの増幅率(コンダクタンス: g_m)は $2 \mu \sim 20 \mu \text{ A/V}$ で10段階でプログラマブルに切り替えられるようになっています。この引き込み電流を変化させることで、等価的にプログラマブル・ゲイン・アンプとしてのゲインを決めることができます。また、入力インピーダンスは、 $1,000 \text{ M}\Omega$ 以上と非常に高い値となっていますので、簡易的には、差動入力のOPアンプと同等と考えてさしつかえありません。

PACblockでは、このようなPACCellが図5のように接続されています。二つの入力値の値をゲイン・アンプで受け、