

LSIとボードのコデザインを考える

——遅延の割り付けをめぐる衝突する二つの設計現場

岡 善治

4

ここでは、LSI設計とボード設計にまたがるトラブルについて解説する。ボードに搭載するASICなどを開発する場合、システム設計側の都合でLSIの外部のタイミング仕様がなかなか決まらないことがよくある。LSIとボードの間で遅延配分の調整がつかず、後になって大きな問題となる。こうした事態を避けるため、LSI設計側が早く暫定版のIBISモデルをボード設計側に提供し、ボード設計側は早くフロアプランや伝送線路解析の結果をLSI設計側に伝えるべきであると、筆者は主張する。（編集部）

近年の半導体技術の進歩には目をみはるものがあります。ディープ・サブミクロン・プロセスを採用することにより、数百万ゲート規模のシステムLSIが開発可能となりました。動作周波数についても100MHzを越えるものが珍しくありません。またパッケージの多ピン化、狭ピッチ化が進み、BGA (ball grid array) では1,000ピンを越えるものが出てきています。

一方、高速化、高集積化の波はボードの世界にも押し寄せてきています。DDR (double data rate) SDRAM, RAMBUS DRAM など、高速メモリの出現に合わせてプリント基板の動作周波数が上がり、かつ実装の高密度化も進んでいます。このためプリント基板の実装条件を考慮せずにLSIの開発を行うことが不可能な状況になってきています。

しかるに現状はというと、LSIとボードはまったく別の組織で開発されている場合がほとんどです。このため、情報の行き違いによるミスやトラブルが起きます。たとえば、ボード設計者のAさんはボードの実装条件をマージンをもって見積もります。またLSI設計者のBさんはI/Oの負荷条件をマージンをもって見積もります。こ

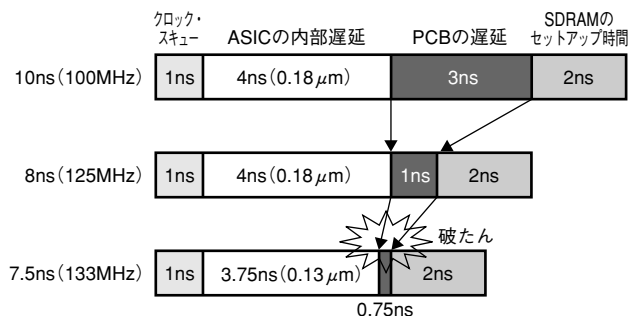
のように、LSI設計側とボード設計側がそれぞれ勝手にマージンを取り合っていると、仕様で許されているタイミング・バジェット (信号遅延の予算) に収まらないという事態が起こりえます。そして、ボード設計者のAさんとLSI設計者のBさんの間で責任のなすり合いが始まります。ボード設計者やASIC設計者のみなさんのなかに、このようなトラブルを経験された方がきつといらっしゃるのではないのでしょうか。

このような問題を解決するのは、本来、EDA ツールの仕事です。しかし現実とはいうと、LSI設計用ツールとボード設計用ツールは完全に製品が分かれてしまっています。両方を考慮しながら設計できる市販ツールは、筆者の知るかぎり存在しません。ということでLSI設計とボード設計の境界線上で起こる問題については、ツールに頼れないのが実状です。完全なエア・ポケットといっても過言ではないでしょう。

ここでは現状の技術的な課題とLSI開発における問題点の整理を行い、LSIとボードのコデザイン (協調設計) のあるべき姿について、LSI設計側の観点で提案を行いたいと思います。

●早期にIBISを渡し、早くI/O部の仕様を受け取る

現状でも「フロアプランと伝送線路シミュレーションは必ず実施しているよ」というボード設計者の方は多いと思います。しかし、今後はこれをボード設計にフィードバックするのみならず、LSI設計にまでフィードバックすることが重要になると筆者は考えています。特に端子配置、I/Oセル、外部AC仕様 (LSIの動作を保証するためのタイミング条件。ここではLSIの外からみたセットアップ時間、ホールド時間、伝播遅延時間などの意味で用



〔図1〕 システムの遅延配分

100MHz、125MHzまではまだいいが、133MHzあたりからLSI設計とボード設計の間で数百ps、場合によっては数十psレベルの遅延調整が必要になる。

いる)を決定するためには、LSIとボードのコデザインは不可欠です。なお、この先、「ボードの仮想シミュレーション」という言葉がよく出てきますが、この言葉は、ここではボードのフロアプランを考慮した仮想配線による伝送線路シミュレーションの意味で用いることとします。

さて、ここでLSI設計とボード設計の間の橋渡しとなるのが、いわゆるIBIS (I/O buffer information specification) モデルです。LSIとボードのコデザインを行ううえで、一番重要なことは、LSI設計側からこのIBISモデルをとにかく早く提供することです。そしてボード設計側では、フロアプランと仮想シミュレーションを早期に行い、端子配置、I/Oセル、外部AC仕様に關する正確な情報を早くLSI設計者にフィードバックすることです。これに尽きます。なぜならボードの仮想シミュレーションの結果いかんによっては、I/Oセルの種類を変更したり、I/Oセルを新規に設計する必要が出てくるかもしれないからです。

ただし、IBISモデルですべて解決するかというと、そういうわけではありません。現状のIBISモデルには多くの課題があります。それを理解したうえで上手につきあうことが必要ではないかと思います。IBISモデルの課題について、LSI設計側 (IBISモデルを供給する立場) からお話しします。

● LSIとボードの間で遅延の争奪戦が起こる

まず、高速システム設計の技術課題について、ここではSDRAMを搭載したボードを例にして説明します。図1は100MHz、125MHz、133MHzのSDRAMを用いた場合のシステムの遅延配分例です。100MHzではLSI

とボードのそれぞれについて、余裕をもって遅延を配分できます。125MHzあたりからかなり厳しくなってきた、133MHzあたりでは非常に厳しい状況です。

図1をシステム設計者に見せると、「LSI設計の側がサボりすぎではないのか」といってLSI設計者がよく責められます。しかしクロック・スキューの1ns (LSIとボードそれぞれのクロック・スキューとジッタの合計) やSDRAMのセットアップ時間の2nsはどうにもなりません。つまり、133MHzの場合、もともと遅延の予算は4.5nsしかありません。この4.5nsの遅延をLSIとボードが取り合うことになります。

LSIの場合、プロセスの微細化が進むと内部動作は速くなりますが、I/Oの動作はほとんど速くなりません。参考までに、図2にスタンダード・セル (セル・ベースIC) の構成と出力I/Oセルの種類を示します。133MHzあたりではLSIとボードで数百ps、場合によっては数十psレベルの遅延調整が必要になってきます。SDRAMでこのような状況ですから、さらに動作が複雑なDDR SDRAMやRAMBUS DRAMについては推して知るべしです。

● システム設計者の意識、LSI設計者の意識

また、このような高速システムを開発するうえで、システム設計側とLSI設計側の考え方に大きなギャップがあるように思います (図3)。このギャップについて、説明します。

(1) システム設計者は外部AC仕様を早期に決めきれない

システム設計者は、ボードの設計が進んでいない初期の段階で、外部AC仕様について確度の高い値を出すのが困難です。したがって、LSI設計者には、とうてい実現不可能と思われるような過剰なマージンを含んだ数字がシステム設計者から渡されます。またシステム設計者も、LSIの外部AC仕様は、後になってLSI設計者のほうでなんとか調整してくれるだろうと考えます。

(2) LSI設計者は、まず内部のタイミングに注力する

LSI設計者も、外部AC仕様が多少目標に達していなくても、ボード設計のほうでなんとか調整してくれるだろうと考えます。まずはLSI内部のタイミングをなんとか合わせ込まなくてはということで、見切り発車でどんな作業を先に進めてしまいます。タイミング・ドリブン・レイアウト (タイミングを考慮した自動レイアウト) やフィジカル・シンセシス (セル配置情報を考慮した論理