

低消費電力化を考慮した CDMA受信機

清水新策

Design Wave 設計コンテストの課題「CDMA 電話機をつくろう！」の優秀作である。本コンテストは、琉球大学工学部情報工学科と共同で進められ、学生(学部生、大学院生)の応募は琉球大学で審査が行われた。ここで紹介するのは、2001年3月16日に琉球大学で開催された最終発表会で総合1位になった設計である。CDMA 受信機が携帯電話などで使われることから、回路規模や動作速度だけにとらわれず、CMOS 回路の低消費電力化に重点を置いた。(編集部)

はじめに

研究室に配属されたばかりの2000年5月、私は初めて Verilog HDL を学びました。しかしデジタル回路に関する勉強はほんの3ヵ月足らずで終了し、それ以降はおもにアナログ回路設計に関する勉強を行うようになりました。Verilog HDL に関する知識はどんどん風化していき、ほとんどすべてを忘れかけていたころ、VDEC(東京大学大規模集積システム設計教育研究センター)による VLSI 設計のリフレッシュ・セミナーに参加する機会があり、再び Verilog HDL に触れることができました。しかしながら、研究室での普段の勉強はおもにアナログ回路に関することであり、また学会発表や卒論制作などに時間を費やしたため、Verilog HDL からは再び遠ざかることとなりました。

あるとき、先輩から Design Wave Magazine で紹介されていた設計コンテストに応募してはどうかと薦められました。いままで覚えた Verilog HDL の知識をこのまま忘れてしまうことは、自分としても本意ではなく、

Verilog HDL の復習としても良い機会だと考えたため、コンテストに参加することを決めました。

コンテストに参加したもう一つの理由としては、デジタル設計者の設計手法を見てみたい、ということがありました。私の所属する研究室では、デジタル回路を設計する人はほとんどいません。そこでコンテストに参加することによって、デジタル設計者が回路設計において何を重視するのか、それをどのように実現するのか、などということを知りたいと考えたわけです。

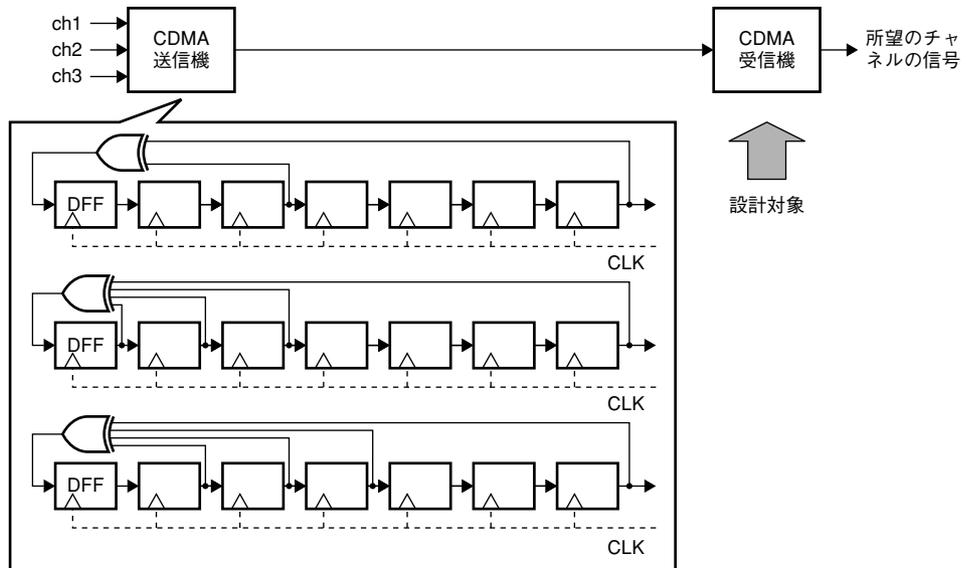
設計した回路の基本構成と動作

●設計仕様について

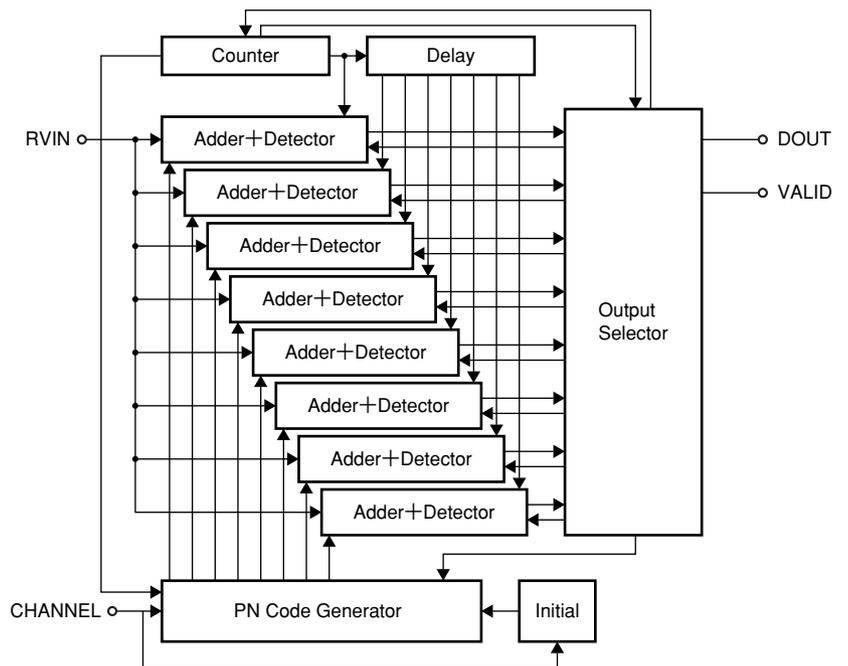
設計コンテストにおいて参加者が設計する課題は、CDMA (code division multiple access) 方式を用いたデジタル通信の受信機です。送信機は三つのチャンネル(ch1, ch2, ch3)をもち、同時に受けた三つのデジタル入力を CDMA 方式によって混合し、出力する仕様となっていました。チャンネルは帰還タップの異なるリニア・フィードバック・シフト・レジスタ(D フリップフロップ)の初期値はすべて1)を3種類用意し、異なる拡散符号を発生させることによって区別してありました(図1)。

設計課題である受信機は、送信機より受けた受信信号と、送信機において所望のチャンネルが用いた拡散符号との内積を取り、その内積値が40以上なら‘0’を、-40以下なら‘1’を出力し、所望のチャンネルからの信号を復調する回路です。

さらに上級課題では、送信機がデータを変調する際に用いる拡散符号の先頭を示す同期信号が与えられておらず、受信機側において受信信号における拡散符号の先頭



〔図1〕設計課題



〔図2〕CDMA 受信機のブロック図

を見つけ、同期を取る必要がありました。

表1に受信機のピン・アサインを示します。

●機能ブロック

設計コンテストに提出した回路のブロック図を図2に示します。また、Verilog HDLのソース・コードをリスト1(稿末、pp.103-106)に示します。

各ブロックの機能を以下にまとめます。

● Adder

受信信号RVINと拡散符号の内積計算を行う回路ブロックです。

〔表1〕レシーバのピン・アサイン

| 受信機 | | |
|---------|-----|----------------|
| 信号名 | 入出力 | 説明 |
| CLK | IN | クロック信号 |
| RESET | IN | リセット信号 |
| RVIN | IN | 送信機からの受信信号 |
| CHANNEL | IN | チャンネルの選択 |
| DOUT | OUT | 選択チャンネル・データの出力 |
| VALID | OUT | データ出力確定時に'1' |

● Detector

Adderブロックによって計算された内積値が、判断基準である40以上か、または-40以下かを判断し、所望のチャンネルからの送信信号が'0'なのか'1'なのかを判断