

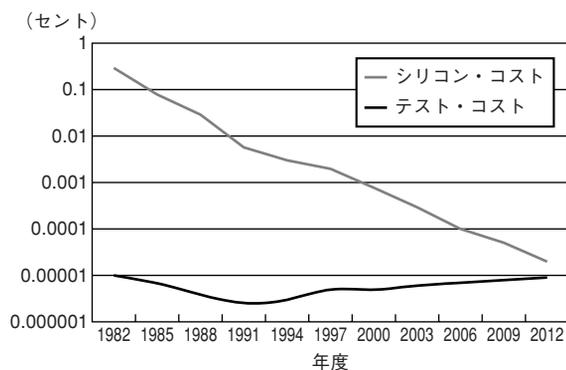
SOCテストの基礎知識
その2

—DFTツール編

坂尻達雄

ここでは、システムLSIのテスト(SOCテスト)の動向や課題を、テスト容易化設計(DFT)ツールの視点で解説する。システムLSIのテスト容易化設計には、システムLSIならではの課題がある。コア(モジュール)のテスト容易化設計の自動化は進んでいるが、チップ全体のテスト容易化設計については、チップごとにテスト手法を考え、人手でテスト回路を挿入していることが多い。こうした状況を改善するため、システムLSIのテスト容易化設計を標準化する動きも出てきている。(編集部)

LSIの微細化に伴って、1トランジスタ当たりのシリコン・コストは年々下がる傾向にある(図1)。一方、テスト・コストは上昇している。これは、LSIの回路規模が大きくなるにしたがって、テスト時間が伸びているからである。現在のテスト容易化設計では、このテスト時間



出典: Gelsinger, IEEE Design & Test of Computers, Jan 2000.

【図1】1トランジスタ当たりのシリコン・コストとテスト・コスト
ディープ・サブミクロン化が進み、1チップ当たりの集積度が上がるため、1トランジスタ当たりのシリコン・コストは下がる傾向にある。一方、テスト・コストは上昇している。これは、回路規模が増大し、テス

をいかに短くするかが大きな関心事となっている。

ここでは、ロジック、メモリ、A-D/D-Aコンバータなど、さまざまな種類の機能ブロックを集積したシステムLSIのテスト容易化設計(DFT: design for testability)について、その課題と最新の動向を紹介する。

●SOCテスト容易化設計の四つの課題

システムLSIのテストは、SOC(system on a chip)テストとも呼ばれている。まず、SOCテストの問題点について説明する。

1) テスト回路を挿入するとタイミングが変化する

システムLSI全体の機能をどのようにテストするかという問題は、設計を始める前に考えておくべき項目の一つである。しかし、こうした問題に対するLSI設計者の認識は、まだ十分に高いとは言えない。なかにはひととおり設計が終わった段階で、テスト容易化設計について考え始める設計者さえいるようだ。この場合、LSI開発のリスクは非常に高くなる。

例えば、故障検出率が上がらなかったため、回路中にテスト・ポイントを挿入したとする。この場合、故障検出率は期待どおりの値に到達したとしても、新たなタイミングの不具合が発生してしまう可能性がある。というのは、テスト・ポイントを挿入したパスがクリティカル・パスだった場合、テスト・ポイントを挿入することによって信号のタイミングが変わってしまうからである。こうした事態はそれほど珍しくない。この場合、設計者はテスト設計やタイミング設計を、不具合がなくなるまで何度もやり直すはめになる。

2) コア用パターンを全体テストに流用できていない

システムLSIのテストは、コア・テストと全体テスト

(SOC レベルのテスト)の2種類に分けられる。コア・テストとは各機能ブロックをテストする工程、全体テストとはコアを組み合わせたシステム LSI 全体の動作をテストする工程である。

コア・テスト用のテスト・パターンは、各コアの開発元(市販のIP コアであればIP ベンダ)から供給されることが多い。一方、全体テストのためのテスト・パターンは一から開発する必要がある。この工数を減らすため、「コア・テスト用のテスト・パターンをうまく加工して、全体テストに流用できないか」という考えかたがある。実際、そうしたテスト・パターンの作成を支援するツールも市販されているが、まだそれほど普及していない。

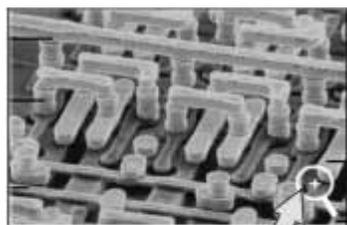
3) チップ全体の検出率を上げる方法が確立していない

各コアごとのテスト容易化設計はかなり浸透してきた感がある。しかし、チップ全体のテスト容易化設計となるとまだまだのようだ。各コアの故障検出率がどんなに高くても、チップ全体の故障検出率が低ければ意味がない。チップ全体の故障検出率を引き上げる方法の一つとして、コア分離(アイソレーション)方式が提案されている。この方法については、後ほど紹介する。

4) 故障解析の重要性が高くなる

LSI テストには、いわゆる出荷テストのほかに、故障解析(不良解析)という作業がある。これはテストの結果、不良品と判定されたチップに対して、不良箇所や不良の原因を特定するために行うテストである(図2)。

しかし、大規模なLSI の場合、故障解析の作業は簡単ではない。非常に多くの信号や配線を確認する必要がある。装置に組み込んだ状態では異常動作を起こしているのに、チップ単体だと正常動作するというケースもよくある。また、かりに不良箇所を特定できた場合でも、テス



〔図2〕デバイス異物混入による故障例
短絡故障を起こしている。

ト容易化設計をあまり考慮していないと、その不良を再現するテスト・パターンを作成することが困難になる。

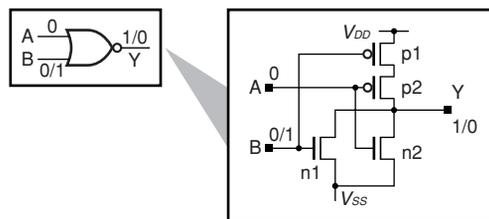
システム LSI のような大規模なチップに対して、故障解析を行う目的には、上記のような不良品の解析のほかに、「製造プロセスの癖を分析する」ということもある。これは、新しい製造ラインを利用する際に、短い期間で製造歩留まりを上げるため、故障解析によって製造プロセスの特性をチェックすることである。

こうした意味での故障解析は、現状、それほど頻繁には行われていないようである。しかし、LSI の微細化が進むにしたがって、製造歩留まりを引き上げることがますます難しくなる。現在は、ある意味、職人的な合わせ込みに頼って量産ラインを立ち上げている部分がある。しかし、いずれはこうした方法が通用しなくなるだろう。そのため、今後は、LSI テスタの出力データとロットの関係を解析したり、レイアウト・データを解析する能力が必要になってくる。

●現状の故障検出率だけに頼るのは危険

さらに理解しておく必要がある項目として、故障検出率の指針の問題がある。これまで、多くの半導体メーカーでは、「故障検出率95%以上」というのが一つの目安となっていた。しかし、回路規模が大きいシステム LSI について考えた場合、こうした指針だけに頼ってテスト容易化設計を行うのは危険だ。極端な話をすると、ある機能ブロックの一つに対してテスト・パターンを作成しなかった場合でも、チップ全体では故障検出率95%の指針を満足してしまう可能性がある。こうした問題を起こさないため、チップ全体の故障検出率とコア単体の故障検出率の両方をチェックする必要がある。

さらに、縮退故障モデル(信号の論理値が'0'または



〔図3〕 I_{DDQ} テスト

I_{DDQ} テストでは、全トランジスタがスイッチングしていない状態(静止状態)で、チップの電源電流を測定する。本来、CMOS LSI では、静止時に高電位側から低電位側へ向かってわずかな電流しか流れない。しかし、故障が発生すると、この電流が増大する。この違いをLSI テスタで測定して、良品・不良品を判定する。