

PLD ボードにLED 点滅回路を実装する

Altera 社のPLD 開発ツール 「Quartus II」



来栖川智久

ここでは、PLD 向けのLED 点滅回路を設計し、実際にPLD ボードを動作させるまでを体験する。回路をVHDL で設計し、論理合成、配置配線を行い、PLD にプログラム・データをダウンロードして動作させる。設計ツールには、米国Altera 社の無償版PLD 開発ツール「Quartus II Web Edition」を使用する。（筆者）

最初に、本稿の中で設計する回路について説明します。

1. サンプル回路

今回設計するのはLED 点滅回路です。基本になるのは、25 ビット長カウンタです。これをベース・クロックでカウント・アップさせ、上位3 ビットの値で8 個のLED をON/OFF 制御するというシンプルなものです。

本稿では、この回路を、米国Altera 社の無償版PLD 開発ツール「Quartus II Web Edition」を使って設計してみます。設計ツールを使ってみることが趣旨であるた

め、サンプル回路は簡単なものにしました。設計はVHDL で行いました。

● PLD ボードで動作させる

PLD 開発ツールですので、回路をPLD にダウンロードして動作させてみます。PLD ボードとしては、CQ 出版の『FLEX10KE 評価キット』付属のボードを用います。

この評価キットに付属する設計ツールは、MAX+PLUS II です。また、本誌の記事も、MAX+PLUS II によるものがほとんどでした。

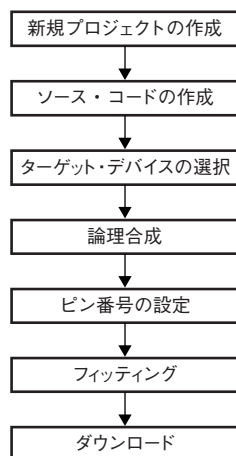
しかし、企業ユーザの方のなかには、すでにQuartus II を使われている方が少なくありません。また、筆者の会社でもすでにAPEX ファミリーで150 万ゲート規模の開発をはじめているため、Quartus II の開発環境に移行しています。

本稿では、VHDL で設計した回路を、Quartus II Web Edition を使って、論理合成、配置配線し、FLEX10KE デバイスにダウンロードして動作させるまでを体験してみます。

● 体験する設計工程

Quartus II Web Edition によるFLEX10KE 搭載ボード用LED 表示回路の設計フローを、図1 に示します。

このツールでは、プロジェクト管理という概念が重要になります。プロジェクトというのは、一つのPLD に対する設計作業場のようなものです。HDL ソース・コードだけでなく、作業に利用するドキュメント、工程管理表、中間ファイルなどのドキュメントのほか、インターネットを経由した作業チーム（ワークグループ）までも包括します。本稿では、HDL ソース・コードの作成に絞って、具体



〔図1〕
Quartus II Web Edition によるPLD 設計フロー
本記事で解説する手順を示す。

的な設定手順を説明します。

図1の設計フローには、論理シミュレーションが含まれていません。Quartus II Web Editionにはシミュレータが付属していないため、今回は説明を省きます。

2. 使用するツール

現在 Altera 社が主力として発売しているデバイスは APEX ファミリです。このデバイスを設計するためのソフトウェアが「Quartus II」です。

この設計ツールは、Altera 社の APEX/APEX-II/Mercury/Excalibur ファミリ・デバイスを設計するためのものです。また、従来からの開発ツールである MAX+PLUS II でサポートされている FLEX10KE ファミリや ACEX1K などのデバイスも設計できます。

今回利用するツールは、製品版ツールのサブセット版です。Altera 社のホームページから無償でダウンロードして利用することが可能です(本誌付属のCD-ROMにも収録されている)。表1に示すデバイスを設計できます。

本稿執筆時点における最新バージョンは Ver1.1 です。

●多岐にわたる設計入力

開発手法としては以下の方法が可能です。

●回路図エディタ, AHDL

MAX+PLUS II において AHDL で設計された設計データを取り込みます。また、回路図もそのまま利用できます。

●VHDL, Verilog HDL

従来の無償版ツール MAX+PLUS II BASELINE では、VHDL や Verilog HDL を利用するとき、サード・パーティ製の論理合成ツールを使う必要がありましたが、これが統合化されました。

●サード・パーティ製の論理合成ツールにより生成されたネットリスト

筆者が確認した限りでは、LeonardoSpectrum, FPGA Express, Synplify の各論理合成ツールが生成した EDIF ネットリストと ACF ファイルをそのまま読み込むことができました。ピン配置情報もそのまま流用できるので、過去の設計データやピン配置リストになんら変更を加えることなく利用できます。ただし、コンストレイント・ファイル(制約ファイル)の正式ファイル名は拡張子が CSF に変更になりました。従来のファイルを単

〔表1〕

Quartus II Web Edition
で設計可能なデバイス

無償版ツールで、16万ゲート規模までの APEX デバイスの設計ができるようになった。

ファミリ	型 名
APEX 20KE	EP20K30E EP20K60E EP20K100E EP20K160E
FLEX 10KE	EPF10K30E EPF10K50E EPF10K50S EPF10K100E
FLEX 6000	すべてのデバイス

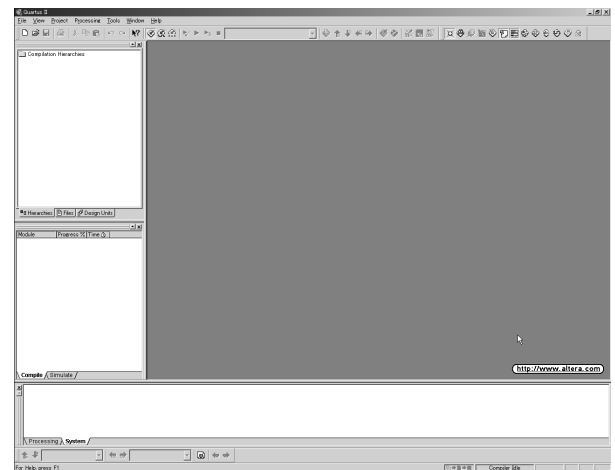
純に名称変更しても受け付けないので、注意が必要です。

●製品版に対する機能的な制限

今回利用する無償版では、製品版でサポートされている以下の機能は使用できません。

- Custom Region Assignments (ユーザによる配置配線先レイアウト位置指定)
- 消費電力見積もり機能 (PowerGauge)
- デザイン・プロジェクト・ファイルの圧縮・最少化 (LHA や ZIP で代用可能)
- ModelSim Altera のライセンス発行 (シミュレーションは別途購入するなどして入手すること)
- Tcl スクリプト
- サード・パーティ・ツールとのクロス・ブロービング
- SignalTap
- STAMP ファイルの生成

これらのうちのいくつかは聞きなれない機能だと思います。大規模設計やタイミング的にクリティカルな設計を行う場合のものです。



〔図2〕 起動画面

ツールの起動は、デスクトップ上のアイコンをダブルクリックするか、スタート・メニューから行う。