



# デファクト・スタンダードに挑戦する 論理合成ツール

## ～BuildGates Extreme v5.0の Quality of Result

古川 寛

# de facto standard

ASIC 設計における論理合成ツールは、米国 Synopsys 社の Design Compiler がデファクト・スタンダードになっている。しかしたった一つのツールにすべてを頼っている現状に、筆者は警鐘を鳴らす。ツールなしでは設計できないからこそ、より良い成果を得るために、より多くのツールを比較・評価する必要がある。最近になって、デファクト・スタンダードに対抗可能なくつかの論理合成ツールが登場している。本稿では、そのうちの一つである BuildGates (米国 Cadence Design Systems 社製) の最新版の能力を、Design Compiler との比較を交えながら解説する。

(編集部)

BuildGates が 1997 年に華々しくデビューしてから 5 年が経とうとしている。Design Compiler 対抗の最右翼と目されながらも、そのもくろみは成功しているとは言いがたい。BuildGates の開発元であった米国 Ambit Design Systems 社が米国 Cadence Design Systems 社に買収されたことで、その勢いが減速したことは否めない事実であろう。

その BuildGates の最新版 v5.0 が、2002 年 5 月にリリースされた。当初から大規模回路が扱えることをうたい文句にしていただけあって、実行速度と必要メモリ容量は元々優れていたが、さらにタイミングや面積といった QoR (Quality of Result) が大きく改善されているように感じた。

本稿では、BuildGates の最新版で何がどう改善されたのかを説明する。なお、ここでは ASIC をターゲットとし、Verilog HDL を設計言語として用いている。

### いまなぜ論理合成か?

逆に「いまなぜ論理合成でないのか?」と問いたい。事実

上の 1 社独占という状態に、読者のみなさんは違和感を感じていないだろうか。

具体的に言えば、

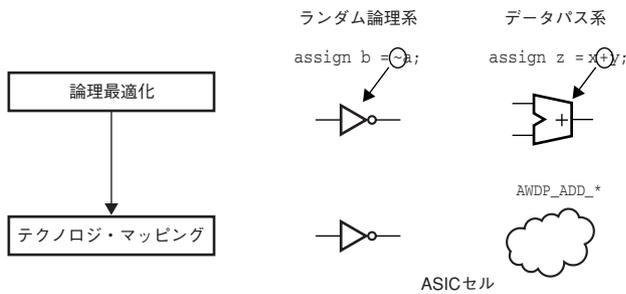
- TAT (turn around time) が 24 時間であれば、それは必ず 24 時間必要なもの
- 2G バイトのメモリを消費すれば、それは必ず 2G バイトが必要なもの
- タイミングを満足できなければ、それはこの RTL の記述を変えない限り満足できないもの
- 100 万ゲートの面積になれば、それは必ず 100 万ゲートでないと実現できないもの

という感覚で、合成結果を疑問もなく受け入れていないだろうか。

デファクト・スタンダードの論理合成ツールである米国 Synopsys 社の Design Compiler が悪いというわけではない。しかし、ほんとうにより良い結果を得たいのなら、いろいろなツールを評価してみることも考えるべきではないだろうか。

フィジカル合成 (論理合成 + 配置最適化) の技術が実用期に入りつつあることも、論理合成に注目する一つの理由である。フィジカル合成の有用性は言うまでもない。0.25 $\mu$ m を境に配線遅延がゲート遅延を超えたため、仮配線遅延モデル (wire\_load\_model) によるタイミングの見積もりが破たんし、配置まで考えざるをえなくなったのである。しかし、フィジカル合成ツールと言えども、合成エンジンは論理合成ツールと同じであることを忘れてはならない。

フィジカル合成ツールの威力は、本来 RTL 記述を入力した場合にいちばん発揮できるはずである。しかし現実にはそうならない場合がある。回路規模制限の問題があり、RTL 入力を行えないことがある。また最適化の性能差



〔図1〕論理合成のしくみ

論理最適化は製造技術に依存しない。ランダム論理系については論理圧縮などを行い、データパス系については適切なアーキテクチャの選択を行う。これに対してテクノロジー・マッピングでは、論理回路に対して製造技術に依存するASICセルを割り付ける。

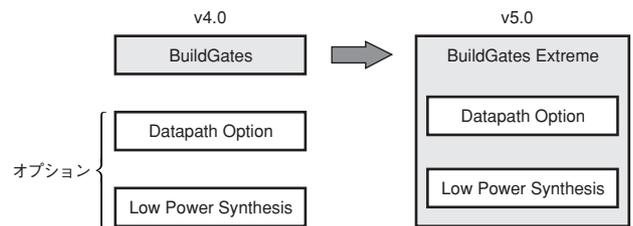
があり、論理合成ツールで合成した後で、ゲート・レベル・データをフィジカル合成ツールに入力したほうが良い結果が得られることがある。

レイアウト(通常フラット)では、1チップをフルに扱えなければならない。レイアウト・ツールは、これまでも1チップのゲート・レベル・データを一括して扱えることがあたりまえだった。一方、論理合成ツールは扱える回路規模に上限がある。フィジカル合成ツールでは、論理合成の機能とレイアウトの機能(セル配置機能)が統合されている。このため、論理合成部分の回路規模制限がまず問題になる。この敷居がいまだに健在のようで、フィジカル合成ツールのRTL入力を阻害しているのである。この点で、論理合成ツールのキャパシティ(扱える回路規模)は重要である。

最適化の問題を考えるときには、論理合成ツールの内部の動きを理解しなければならない。論理合成の処理は、大きく論理最適化とテクノロジー・マッピングの二つに分けられる(図1)。

論理最適化は製造技術に依存しない。ランダム論理系については論理圧縮などを行い、データパス系については適切なアーキテクチャの選択を行う。これに対してテクノロジー・マッピングは、論理回路に対して製造技術に依存するASICセルを割り付ける。

フィジカル合成という意味では、主にテクノロジー・マッピングで威力を発揮するわけだが、論理最適化も同等かそれ以上に重要である。内蔵している合成エンジンが論理合成ツール単独で販売されていない場合、論理最適化の機能が弱いことがある。その場合、RTL記述を忠実にゲート・レベル回路として再現するだけの、単なるネットリスト・ジェネレータになっていることがある。この点で、フィジ



〔図2〕BuildGatesとBuildGates Extremeの違い

BuildGates v4.0では、標準機能としてBuildGatesがあり、オプションとしてDatapath OptionとLow Power Synthesisがあった。BuildGates v5.0では、標準機能にDatapath OptionとLow Power Synthesisを包含し、BuildGates Extremeになった。

カル合成であっても論理最適化の機能は重要である。

このような背景からか、BuildGatesの出現以降、後が続かなかったこの分野も、最近になってにぎやかになってきている。例えば、米国Get2Chip社、米国Synplicity社、米国Incentia Design Systems社の3社があいついでASIC向けの論理合成ツールをリリースした。今後フィジカル合成が重要になるからこそ、論理合成の技術を見直すよい機会なのだと筆者は考える。

## BuildGates Extremeの評価

まずは、前提となるパッケージを説明しなければならない。

従来は、標準機能としてBuildGatesがあり、オプションとしてDatapath OptionとLow Power Synthesisがあった。最新版では、標準機能にDatapath OptionとLow Power Synthesisを包含し、BuildGates Extremeというパッケージになった(図2)。

本稿では、BuildGates Extremeになったことで、設計者がどのような恩恵を受けられるようになったのか、デファクト・スタンダードに対抗できるのかについての、筆者の評価を説明する。

### ●新たに追加された機能

筆者が有用性を確認した追加機能を以下にまとめる。これには、従来はオプションだったDatapath Optionで実現されていた機能を含む。

- 演算器アーキテクチャの追加
- アーキテクチャ・スワッピング
- リソース・シェアリング