

Verilog-AMS

実用モデリング講座

第1回

開発フローと 構文の概要を理解する



桜井 至, 石塚総一郎

今回から始まる新連載「Verilog-AMS (analog and mixed-signal) 実用モデリング講座」では、デジタル設計者とアナログ設計者の両方を対象に、Verilog-AMS のモデリング手法や記述例などを紹介します。Verilog-AMS とは、ミックスド・シグナル(アナログ・デジタル混在)回路を設計するためのハードウェア記述言語です。今回はアナログ設計の変遷やモデル開発のフロー、Verilog-AMS 拡張構文の概要などを解説します。(編集部)

ハードウェア記述言語「Verilog-AMS」は、電子系だけでなく、多種多様なアナログおよびミックスド・シグナル・システムをモデリングできる幅広い構文を提供しています。本連載は、LSI 設計を行っている電子系エンジニアに対して、単に Verilog-AMS 言語の構文を解説する意図でまとめたものではありません。この連載では、大規模なミックスド・シグナル・システムのシミュレーションを実行したいと考えているデジタル設計者やアナログ設計者を対象に、実用的な Verilog-AMS によるモデリング手法や記述例を解説したいと思います。

1 アナログ設計手法の変遷

ここでは、まずアナログ設計手法の変遷について説明します。

●プロトタイプ検証に替わってSPICEが使われる

アナログ設計の初期において、回路特性を検証する唯一の方法は、物理的なプロトタイプ(試作基板や試作チップ)を作成することでした。実際のプリント基板やICを製造する前に、プロトタイプを作成して、回路の動作を確認して

いました。しかし、アナログ回路がより高速に、より高集積になるに従って、このようなプロトタイプを作成する方法は行われなくなりました。なぜなら、この方法は最終的なチップの特性を検証する良い方法ではあるものの、プロトタイプから実際のチップに移行する際に人的ミスが発生するなど、信頼性の高い検証とは言えなかったからです。この段階は、アナログ設計の第1世代と考えられます。

次の第2世代ではSPICEシミュレータが利用されるようになりました。SPICEシミュレータは過去20年以上、アナログ・シミュレーションの主力の地位を占めています。回路の集積度が大幅に向上しているにもかかわらず、この期間、SPICEシミュレータに組み込まれているアルゴリズムはほとんど変わっていません。この期間の進歩の中心はデジタル設計であり、このデジタル設計の急速な進歩によって、複雑で高性能なLSIが開発され、それにより、コンピュータ技術が急速に発展しました。20数年前、例えば洗濯機は単にスイッチのON/OFFを行えただけでしたが、現在では、複雑で高度な機能を備えています。高度なLSIは、現在、民生機器から産業用制御機器に至るまで、多種多様なアプリケーションで使われています。

●ミックスド・シグナル設計とアナログ記述言語の標準化

高速なデジタル信号処理技術が発展したことで、それ以前はアナログだけで設計していた分野に、デジタルとアナログが混在したミックスド・シグナルの設計が必要になってきました。デジタル設計の進歩を支えるため、デジタル・シミュレーション・ツールにはすでに多くの革新的技術が導入されています。一方、アナログについても、集積度が上がって、低電圧のサブミクロン・プロセスが用いられるようになり、高性能化や高速回路の1チップ化が

求められています。コンピュータの処理能力の向上によってある程度の状況は改善されていますが、アナログ回路の検証をさらに効率化するためには、新しい手法に移行する必要があります。また、チップ上にアナログ回路とデジタル回路が混在することが多くなり、接続性の検証だけでなく、アナログ、デジタル相互の干渉チェックも必要になってきています。

大規模回路に対するアナログ検証では、リラクゼーション・ソルバを用いて、回路をより小さなブロックに分割して検証する方法が標準的に用いられています。リラクゼーション手法(図1)は、SPICE アルゴリズムに基づいて検証しますが、それぞれの回路ブロックは局所的な時間ステップによって制御されるので、回路全体を評価する必要がありません。リラクゼーション手法を使用し、さらに収束アルゴリズムを簡略化すると、シミュレーション速度をかなり高速にすることができます。ただし、この手法には、大規模な回路をシミュレーションできるというメリットがあるものの、場合によっては、不正確な結果が出力されたり、まったくシミュレーションを実行できない(解が収束しない)というデメリットがあります。

一方、回路の大規模化に対抗する別のアプローチが、検証対象となる回路をより抽象度の高い表現で表すという方法です。この手法は、当初、SPICE シミュレータに、数式を用いた制御素子を組み込むことで実現されていました。このような制御素子を互いに接続することで、アナログ回路やデジタル回路の機能を検証することができました。

その後、アナログ・シミュレーションの速度が遅いという問題を解消するために、アナログ動作をより適切に記述

することができるプログラミング言語の開発に力が注がれました。その結果、現在では、標準化された記述言語として Verilog-AMS と VHDL-AMS が使用され始めています。

② モデリングの必要性和高度なテスト環境

トランジスタ・レベルの物理的表現からより抽象度の高い表現への移行は、多くのアナログ設計者にとって受け入れがたいものです。プログラミング言語に初めて接した設計者は、習得のために非常に高いハードルを越えなくてはならないと感じます。しかし、デジタル設計者は、すでに回路をプログラムの記述する手法に移行しています。アナログ設計に携わるすべてのLSI 設計者が、高位の記述言語を用いて回路を表現するようになるのも、もはや時間の問題でしょう。

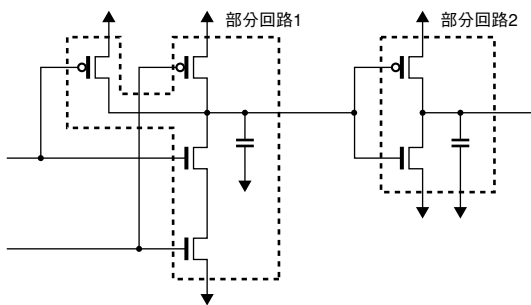
モデリング言語へ移行するための最初のステップは、まず、目的を明確にすることです。これは非常に重要なステップで、後々の時間のむだを防ぎます。モデリング工程は設計フローに付け加わるステップであって、既存の作業工程に取って代わるものではありません。このため、モデル記述の手間をかけるかどうかについて、最初に正しく判断しなければなりません。例えば、新しいビヘイビア・モデルを作成することは創造的な作業ですが、すでに作成済みのモデルを使用するよりも多くの時間がかかります。モデルの複雑さと再利用性は、モデルを作成する際に考えなければならない重要な問題です。

ビヘイビア・モデルを記述するかどうかを判断したり、モデルの適用範囲を決めたりするためには、経験と目的が必要となります。初めてモデリングを行う場合、習熟期間を短くするために多くのドキュメントを参照するか、あるいはすでに使用している共有ライブラリのモデルを用いることが効果的です。

アナログ回路に対してHDL モデルを開発する主な理由を以下に挙げます。これ以外にも理由があるとは思いますが、設計期間の短縮という目的と比べると、それほど本質的ではないでしょう。

- 回路シミュレーションが高速になる
- 大規模回路をシミュレーションできる
- トップダウン設計フローを用いて、最初にアーキテクチャ設計を行える

これらの各項目について、次に説明します。



【図1】 リラクゼーション手法

リラクゼーション手法は、デジタル系のトランジスタ回路の高速化に有効なシミュレーション手法である。トランジスタ回路を論理機能ごとに分割(パーティショニング)し、入力信号が変化したときのみ、出力値を計算する。通常のSPICE を用いた行列式の計算と比べると、10～50倍速くなる。