

第2章 回路設計者のためのプリント基板Q&A

— BGA/CSP実装で起こる疑問を解消する 渡辺一弘

ここでは、最近のLSIの多ピン化によって生じている実装設計にからむ疑問を、実例をもとにQ & Aのかたちで紹介します。回路設計者にとって、もの作りの下流工程(実装設計)で生じる疑問が少しでも解消できれば幸いです。本稿の後半では、プリント基板設計の流れについてもまとめました。(筆者)

一つの機器の開発であれば、回路設計とプリント基板のパターン設計を同じ人が行うことが理想的です。しかし、ほとんどの場合、回路設計とプリント基板設計は分業されているのが現実です。このため、プリント基板設計に関する知識をあまり持たない回路設計者が少なくないようです。そこで、ここでは回路設計者が持つプリント基板に対する疑問を解消します。筆者がよく受ける質問をもとに、Q & Aのかたちで説明します。

ただし本稿では、筆者らが用いている設計手法をもとに説明を進めます。製造設備や社内規格が違えば最適な解決法が変わりますし、周囲の環境が違えば利用できる実装技

術も変化します。そのあたりを考慮して本稿をお読みいただければ幸いです。

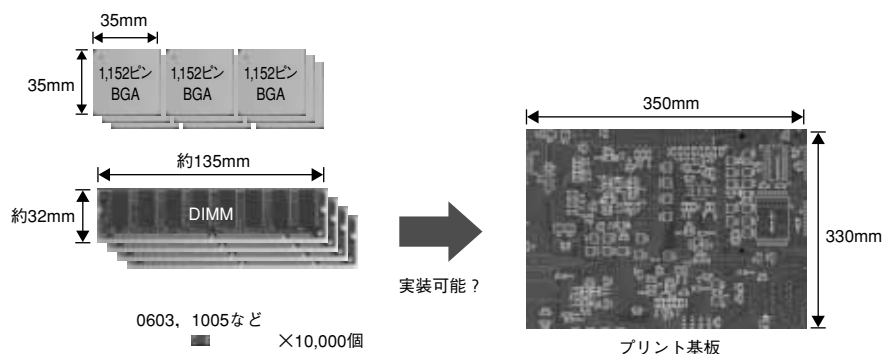
1. プリント基板のQ&A

●Q1—この部品、全部配置できますか？

もっとも一般的な質問です。回路設計者は回路を設計しているわけですから、実装する部品の形や個数はちゃんと把握しています。しかしプリント基板のパターン(配線)を引くために、部品の間をどの程度離さなければならないのか、製造するためにどのような領域が必要になるのかまでは、予測できない人が多いようです。

実際、このような質問を受けるときは、基板にすべての部品を実装できるかどうか微妙なケースがほとんどです。したがって、質問されて当然ですし、ある程度試行錯誤してみないと答えはわかりません。

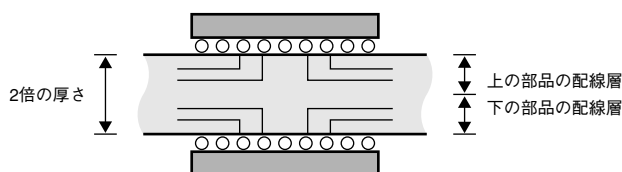
しかし、ときには理解しがたいようなケースもあります。



〔図1〕
全部実装できますか？

350mm×330mmの基板に、9個の1,152ピンBGAのFPGAと4個のDIMMメモリ・モジュールを含む回路を実装したい。

電源モジュールや
I/O用コネクタ
などの周辺部品



〔図2〕両面実装の問題点

配線層の数が倍近くに膨れ上がる。BGA 部品の場合、2回のリフロに対応できないという問題もある。

例えば、350mm×330mmの基板に、9個の1,152ピンBGAのFPGAと4個のDIMMメモリ・モジュールを含む回路を実装したいという依頼を受けたことがあります(図1)。このほかにも、多少の周辺部品があります。バイパス・コンデンサ(パスコン)やダンピング抵抗、終端抵抗は、まさに理想的に入れられていました。このため、部品数は10,000点を超えていたのです。消費電力はまるで電熱器なみです。思わず「このボードは水冷ですか?」と聞いたくらいです。

部品のほとんどは抵抗やコンデンサなどのチップ部品でした。基板設計者の目で見れば、チップ部品だけで基板の片面を埋めてしまいそうなほどの数があるのです。そこでどうしてそんなにチップ部品が多いのか不思議に思い、回路設計者に聞いてみたのです。

いちばんの原因は、電源ピン1本当たり1個のパスコンを挿入していたことです。回路として理想的ですから、気持ちはわかります。しかし、1,152ピンBGAのこのFPGAには、150本以上の電源ピンがあります。もしすべてにパスコンを付けようとする、FPGAの周囲をチップ・コンデンサがビッシリ埋めてしまうような感じになってしまいます。かりにこのような実装を無理に行っても、果たしてそれですべてのパスコンがその役割を果たしてくれるかどうかは疑問です。

また、すべてのクロックとデータにダンピング抵抗や終端抵抗が入っていました。9個のFPGAの間を接続する信号です。その数は4,000個近くにもなっていました。

これだけの部品を実装しようとなると、使用する基板の2倍の面積が必要になりそうです。もう何も言えず、即座にダメ出しをしました。回路設計者とプリント基板設計者の間の大きなギャップを感じました。

●Q2——基板の両面にLSIを実装できないのですか?

Q1の例のいちばんのポイントは、回路設計者が「すべての部品を実装できるかもしれない」と思っていたことです。

つまり、プリント基板の両面に部品を実装すればよいと考えていたようなのです。

確かに基板の両面に大きなBGA部品を搭載できれば格段に実装密度は上がります。実際、一部の機器ではそのような実装を見かけることもあります。

しかし、残念ながら、現在のBGAパッケージの多くは耐熱性の問題があり、2回のリフロに耐えられません。またリペアの問題もあります(リペアについては後述)。

かりに両面に実装可能なパッケージであっても、配線層の数が倍近くに膨れ上がることになります(図2)。すなわち高価な基板になるということです。

●Q3——何とか載りませんか?

基板形状に制約がある場合などは、使用する部品を何とか載せてほしいと頼まれます。しかし、物理的に載らないものはどうしようもありません。Q1のケースでは、大幅に回路の見直しを行うことで部品数を削減しました。

まず、いちばん面積のかさむDIMMメモリ・モジュールについて検討しました。モジュールを使うのではなく、メモリを直付けにするだけで、かなりの面積を削減できます。メモリ・モジュールを使うと、部品自体の実装面積こそ小さくなりますが、パターンまで含めると、多くのスペースを必要とします。

また、すべてのLSIのすべての電源ピンに入れていたパスコンの数を最適化しました。ここで気を付けなければならないのは、パスコンは、同時変化する信号を考慮しながら減らす必要があることです。急激な負荷変動が起こっても、それに対応できるだけのパスコンはしっかり実装するようにしてください。

ダンピング抵抗や終端抵抗の削減にも注意が必要です。クロック信号のような重要な信号のダンピング抵抗まで削るのは好ましくありません。クロック信号は数が少ないので、リスクを冒してまで部品を減らすメリットはありません。大幅な削減が可能なのは、データ線のダンピング抵抗です。物理的な配線長について見通しがついたなら、それをもとに波形シミュレーションを行います。ダンピング抵抗や終端抵抗がある場合と、ない場合の両方の条件でシミュレーションを行い、波形が崩れていないものについて部品を削除していきます。

こうした作業の結果、Q1のケースでは部品点数が3,500点程度まで削減され、すべての部品を指定サイズの基板に