

## 第3章 非貫通ビア基板の活用技術

— 1,508ピン・フルグリッドBGAから全ピン引き出しを効率的に実現  
岩佐三郎, 辻 寿一, 水尾 学

1,508ピンのLSI(ここではFPGA)を実装するプリント基板の設計技術を具体的に解説する。FPGAを搭載する汎用開発ボードは多くの用途で利用されているがゆえに、十分にマージンのある設計が求められる。また、すべてのI/Oピンを外部に引き出したいという要求がある。この問題を解決する一つの方法は、非貫通ビア(IVH)基板を活用することである。(編集部)

最新のLSI, 特にシステムLSIに代表されるようなLSIは、従来単独であった機能(論理回路, メモリ, CPUなど)が1チップになり、高速に動作します。これはプロセスの微細化によって達成されていますが、同時に低電圧(1.8V以下)で動作するようになっていきます。また、異なった複数の電圧を必要とするLSIもあります。

このような状況により、プリント基板の設計・部品実装についての課題は、数年前と比べて増えてきました。特に、先陣を切って先端プロセスを採用しているFPGA (field programmable gate array)などは、高速I/Oインターフェースを内蔵しながら1,000ピンを超えるI/Oを持つなど、最新技術が投入されています。

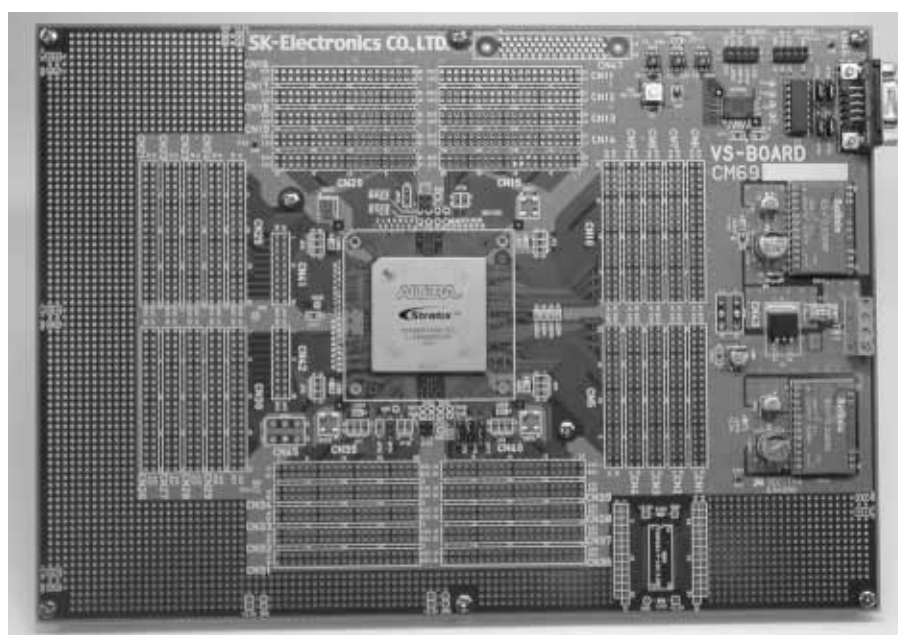
筆者らは最先端FPGAを利用したプロトタイピング・ボードの設計を行っています。ここでは多ピンBGAパッケージのLSIを搭載するプリント基板設計技術の一端を紹介します。

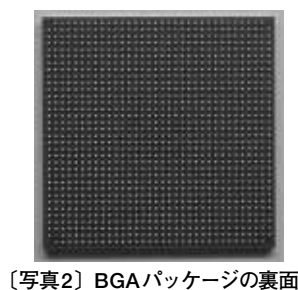
ボード設計から部品実装までにはさまざまな工程がありますが、ここでは、特に低電圧高出力を必要とするLSIを生かすための基板設計・製造工程にフォーカスします。米

3

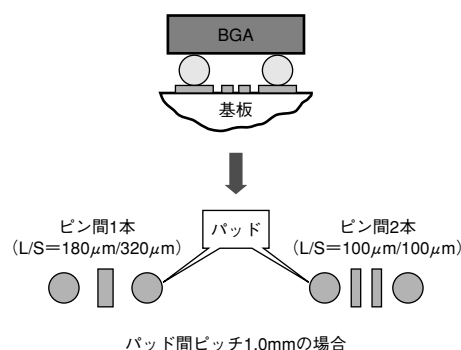
〔写真1〕  
1,508ピンBGAパッケージのFPGAを搭載  
する汎用開発ボード

エスケーエレクトロニクス社の「CM69A」。米国Altera社のEP1S80を搭載し、1,203本のI/Oピンがすべて外部に引き出されている。





〔写真2〕 BGAパッケージの裏面



〔図2〕 信号の引き出し本数の選択

国 Altera 社の FPGA「Stratix」を搭載するボード設計で用いた技術を中心にまとめます (写真1)。

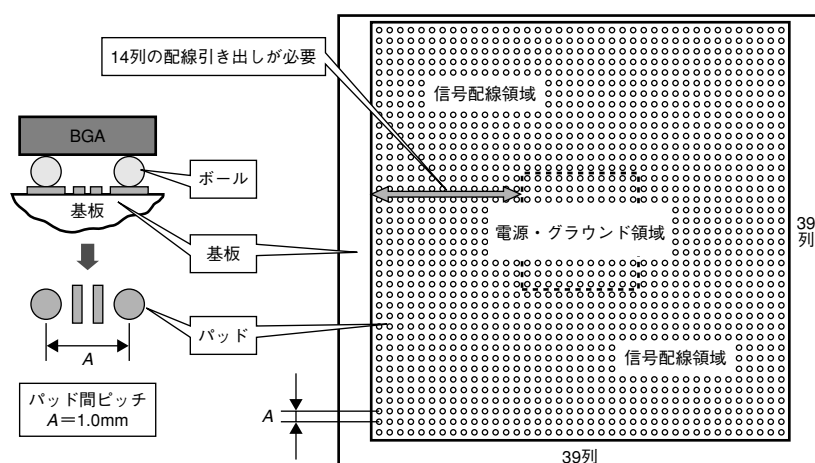
## 1,508 ピン BGA を実装する基板設計過程

LSI の多ピン化、高性能化に伴い、基板設計・製造に対する要求が一段と厳しくなっています。

3.3V 動作の LSI であれば、多くの場合、従来のボード設計手法で対応可能です。しかし、LSI の動作電圧が 1V 台に入ってきたことで、従来とは違った発想の設計手法が必要となりました。また、多ピン BGA パッケージが多い FPGA ならではの問題もあります。

最近の FPGA は、多くの I/O インターフェースに対応しています。回路設計では複数の I/O インターフェースを活用することができますが、ボード設計では FPGA の I/O バンクを考慮した設計が必要になります。すなわち、物理的に特定エリアからの配線が集中しやすくなるわけです。使用する I/O ピンが少なくても、パターン設計が容易とは限りません。

このように、最近の LSI を活用した回路の設計意図を十分に反映させるためには、従来とは異なる手法が必要となってきます。例えば、プリント基板設計では LSI 周辺の高密度な配線や電気的特性を十分に考慮する必要があります。



〔図1〕 1,508 ピン BGA パッケージのピン配置

1,508 ピン BGA のボール配列は 39 列×39 列である。パッケージの中央から外側に向けてグラウンド、電源、I/O の順に並んでいる。1 辺の I/O 引き出しは、電源を除いて 14 列程度になる。

製造においては、指定された高さ (厚さ) の範囲内での多層化、ファイン・パターン化、ビア・ホールの小径化、非貫通ビア (IVH) 構造、薄板コア製造、しあがり精度の向上などの要求を満たす製造技術の確立が求められています。

### ●多ピン BGA のパッド間引き出し配線を検討

1,000 ピン～1,500 ピンのパッケージは、最近では、もはや珍しくなくなりました (写真2)。BGA (ball grid array) や CSP (chip scale package) では、ボール・ピッチは 1.00 mm～1.27 mm と狭くなっています。そして一つの LSI が持つ I/O の数が 1,000 を超えるものが出てきました。LSI の高機能化とともに、今後も多ピン狭ピッチ化は進むでしょう。

図1に示すように、1,508 ピン BGA のボール配列は 39 列×39 列もあります。おおざっぱには、パッケージの中央から外側に向けてグラウンド、電源、I/O の順に並んでいます。1 辺の I/O 引き出しは、電源を除いて 14 列程度になります。

このパッケージから、すべての I/O ピンを引き出すことを考えてみましょう (図2)。

パッド間 1 本通しのルールでは、I/O の引き出しに必要な配線層数は信号層だけで 10 層程度になります。電源とグラウンド、インピーダンス構造、パスコンの配置を含めると基板の層数は一般的な製造の限界を超えてしまい、現実的ではありません。

パッド間 2 本通しの場合、I/O 信号の引き出しに必要な配線層数は 6 層になります (図3)。パッド間 1 本通しと比べて極端に配線層数を減らすことができ、プリント基板設計工