

第3章

LSIテスト・クライシスの「傾向と対策」

——テスト対象の特性を把握して、一品一品最適なテスト方法を考える

加賀博史

ここではLSIの出荷テストの問題について解説する。最先端のLSIテストの世界では、テストの性能が先端LSIの性能に追いつかず、製品ごとに個別のテスト・フローやテスト環境を構築しないとテストできないという状況になっている。テスト対象となるLSIの特性を把握するため、テスト・エンジニアには、LSI設計、およびそのLSIが組み込まれるシステムに関する知識が要求されるようになってきた。 (編集部)

一つのLSIを作るためには、非常に多くの工程が必要です。設計、試作、評価、量産、これらすべての工程がさらに細分化され、それぞれのステップについて世界的な競争の中で最新の技術が開発され続けています。本稿では、これらのLSIを作り出すために必要な各種技術のうち、テスト技術に着目して、その特徴と現在の課題についてまとめます。特に先端LSIの開発では、テスト技術は、設計、試作、評価、量産のすべての工程に関連します。その意味で、本稿はLSIのテスト・エンジニアのみならず、LSIの設計から製造に携わるすべての技術者に読んでいただければ幸いです。

●LSIのテストはなぜ必要か

LSIの出荷には、なぜテスト工程が必要なのでしょう？本来、設計と製造が完全ならばテストは不要なはずですが。このため、従来、テスト技術は付加価値を生まないと考えられ、LSIを作り出すことそのものにかかわる設計技術やプロセス技術と比較したとき、ややもすると差別的に扱われるケースがあったことも事実です。

しかし、LSIの設計・製造が原子のオーダーで行われるに至った現在、状況は大きく変わってきています。プロセス・パラメータの揺らぎは、もはや設計に十分なマージン

を与えてはくれません。一つのチップ内のトランジスタでさえも、すべて同じ特性で動作するとは言いがたいのです。このため、あらゆる条件下で性能を保証する設計の実現は困難です。特に、時代の先端を走るLSI製品ほど、プロセスが成熟し安定する前に量産を開始するため、不良品の発生は避けられません。

このような状況において、LSIのテスト技術の位置づけと、それを開発・推進するテスト・エンジニアのマインド・セットも、大きく変わらざるをえません。

●LSIテストには特有の概念がある

本稿では、まず議論の前提として、LSIテストの特徴についてまとめてみます。

1) 製造歩留まりの概念

LSIテストの必要性を考えるうえでもっとも重要であり、かつほかの製品にはあまり見られないのが「製造歩留まり」の概念です。LSIの歩留まりとは、LSIを製造するとき、ウェハ、もしくはロットから得られる正常動作するLSI(通常、これを「良品」と呼ぶ)の割合のことです。

LSIは同じ設計、同じプロセスによって繰り返し製造されますが、つねに同じものができるとは限りません。試作品で設計検証を完全に終えたLSIであっても、量産段階では出荷に際して、ある確率で混入する不良品を除去する必要があります。このため、LSIテストは必要不可欠な工程となっています。

2) 故障検出率の概念

LSIテストを考える場合、根本的な問題として、LSI内部のすべての素子をテストすることが、現実的にはほぼ不可能であることが挙げられます。これは、LSIを動作させるためにアクセスするポート数(信号ピン数)に比べて、LSI

を構成する素子数が圧倒的に多いことに起因しています。LSIを構成する素子数は、最先端のLSIでは数千万～数億個にのぼるのに対して、LSIの動作を確認するためのポート数は少ない場合で数十、多い場合でも数百しかありません。この限られたポートから、LSI内部の膨大な素子のすべてを観測することは困難です。この事情により、LSIテストには「故障検出率(fault coverage)」という指標があります。故障検出率は、考えられる故障モードの総数に対する、実行するテストによって発見できる故障数の比で定義されます。

$$\text{故障検出率} = \text{検出される故障数} / \text{全故障数}$$

実際、この故障検出率を100%にすることは困難であり、これと先に述べた製造歩留まりが、LSIの出荷品質を決定する大きな要素となっています。

以上で述べたとおり、LSIの製造では不良品の発生をゼロにはできません。この不良品の流出を食い止めることがテスト工程の目的であり使命です。

●テストの付加価値はtime to market, time to volume

設計と製造が完全であるならば、テストは不要の工程です。事実、従来は設計検証が完了していない試作段階や、プロセスがまだ安定していない量産初期においてこそあらゆるデバイス仕様のテストを実施しますが、量産実績を積み、キーとなるプロセス・パラメータを制御して不良品の発生が十分に抑えられるようになると、その不良モードの検出に対応するテスト項目を順次削除していくことが常識でした。

しかし、現在は製品のライフ・サイクルが短くなり、設計のみに集中するいわゆるファブレス・メーカーが台頭しています。そのため、プロセス・パラメータが固まる前に設計が始まり、製造ラインの成熟が出荷に追いつかない状況を生み出しています。

すなわち、先端LSIでは以下のような状況が現れています。

- プロセス・パラメータの最適化を待って設計を開始しては、製品の市場投入時期を逃してしまう
- 十分なプロセス・マージンを確保して設計すると、性能や価格を最適化できない
- プロセスの成熟が製品のライフ・サイクルにミートしない
このため、製品をタイムリに(寿命のあるうちに)市場に

出し、かつ品質を保証するためには、LSIテストは必要不可欠な工程となります。最先端のLSI製品においてテスト技術は、time to market(市場投入までの期間の短縮)、time to volume(量産までの期間の短縮)を実現する付加価値を生んでいるとも言えます。

●LSIテストの基礎知識

次に、LSIのテスト技術において、今、何が問題となっているのかをまとめます。

まず、従来の一般的なLSIテストについて述べます。

1) LSIテストの種類

LSIを製造・出荷するために行うテストは、DC(直流)テストとAC(交流)テストに大別されます。DCテストはチップの静的特性を確認するもので、主として入出力バッファの電圧・電流特性を保証するためのものです。これに対してACテストはチップの動的特性を確認するためのもので、主としてLSIに組み込まれた機能(ファンクション)を保証するために実施します。

先に述べたとおり、半導体製造技術の微細化により、LSIに集積される回路規模が飛躍的に増大しています。このため、外部からLSIの内部に組み込まれたすべての機能をテストすることがきわめて困難となってきています。この状況に対応するため、さまざまなDFT(design for testability; テスト容易化設計)の技術が開発・適用されています。表1にDCテストとACテストの例を示します。

2) テスト工程のフロー

実際の半導体製造工程では、これらのテストを「ウェハ・テスト」と「パッケージ・テスト」の2段階で実施すること

【表1】ロジックLSIのテスト項目

	テスト項目	テストの内容
D C テ ス ト	オープン(開放)テスト、ショート(短絡)テスト	信号端子、電源端子のオープン不良、ショート不良のチェック
	I_{OL} , I_{OH} テスト	出力バッファ電流チェック
	V_{OL} , V_{OH} テスト	出力電圧チェック
	I_{IN} , I_{IL} テスト	入力バッファ・リーク電流チェック
	V_{IN} , V_{IL} テスト	入力電圧マージン・チェック
	静的 I_{DD} テスト	電源電流チェック(LSIの静止時)
A C テ ス ト	LFT(loose function test)	機能テスト(低周波数)
	アット・スピード・テスト	機能テスト(実動作周波数)
	スキャン・テスト	DFT対応ストラクチャ・テスト
	BIST	DFT対応機能テスト
	コア分離テスト	DFT対応機能テスト
	I_{DDQ} テスト	(DFT対応)故障電流チェック
	電源電圧マージン・テスト	LSIの電源電圧変動耐性チェック
	動的 I_{DD} テスト	電源電流チェック(LSIの動作時)