

第5章

ボード・テスト・ クライシスの「傾向と対策」 ——バウンダリ・スキャン・テスト のトラブル・シューティング

宇賀神孝，田中 明，Peter van den Eijnden

ここでは、今やボード・テストの主流となりつつあるバウンダリ・スキャン・テスト(JTAGテスト)について解説する。BGAやCSPといった格子端子型表面実装パッケージの浸透とともに、バウンダリ・スキャン・テストの普及が急速に進んでいる。ところが、実際のボード・テストの現場では半導体メーカーの怠慢やユーザの知識不足に起因するトラブルが頻発しているという。本稿では、こうしたトラブルに巻き込まれないための対処法について解説する。

(編集部)

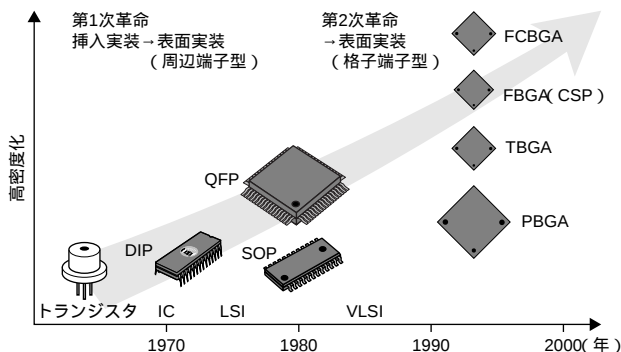
TTL(transistor transistor logic)ICに代表されるDIP(dual in-line package)パッケージの全盛時代には、「インサート・テスト方式」によってボードがテストされていました。インサート・テストとは、ボードに挿入実装されている端子やラウンドに金属製のテスト・プローブを接触させ、テスト信号を与えて良・不良を判定するテスト方法です。

しかし、1980年代に入って、ピン間隔の狭いQFP(quad flat package)やSOP(small outline package)などの周辺端子型の表面実装パッケージが実用化されたところから、プローブをピンに接触させることが難しくなりました。そして、BGA(ball grid array)やCSP(chip size package)といった格子端子型が主流となりつつある現在では、プローブを接触させることそのものが不可能となっています(図1)。

こうした状況を背景に、インサート・テスト方式を補完する手法として1990年ごろからバウンダリ・スキャン・

テスト方式(JTAG方式とも呼ぶ)が台頭してきました^{注1}。バウンダリ・スキャンでは、論理ICの本来のコア・ロジックとI/Oピンの間にバウンダリ・スキャン・セルと呼ばれるレジスタを配置し、各ピンのレジスタをシリアルに接続してシフト・レジスタを構成します。このシフト・レジスタを利用して、特定のピンにテスト信号を与えたり、特定のピンの出力値を読み出します。

バウンダリ・スキャンはかなり普及してきていますが、残



CSP: chip size package
DIP: dual in-line package
FBGA: fine pitch ball grid array
FCBGA: flip chip ball grid array
PBGA: plastic ball grid array
QFP: quad flat package
SOP: small outline package
TBGA: tape ball grid array

出典: 春日壽夫; 高密度実装における標準化, 技術ロードマップの業界の動き, エレクトロニクス実装学会誌, vol.1, No.2, p.108, 1998年。

【図1】LSIパッケージ技術の変遷

LSIパッケージは表面実装に対応したものが主流となり、ピン間も狭くなった。挿入実装のころはプローブで直接端子の信号をテストできていたが、表面実装パッケージでは困難。

注1: 1985年、欧州の標準化グループJETAG(Joint European Test Action Group)が結成され、バウンダリ・スキャン手法の標準化活動が始まった。JETAGには、英国British Telecom社、スウェーデンEricsson社、オランダRoyal Philips Electronics社、ドイツSiemens社、フランスThomson-CSF社などが参画していた。1986年には米国AT&T社や米国DEC(Digital Equipment Corp.)、米国IBM社、米国Texas Instruments社などの北米企業加わり、グループの名称をJTAG(Joint Test Action Group)に改めた。1987年にはDOD(米国防総省)のVHSIC(Very High Speed Integrated Circuit)プロジェクトの賛同を得た。1988年にJTAG Version 2.0としてIEEE(Institute of Electrical and Electronic Engineers)のTestability Bus Standard Committeeに提案され、1990年にIEEE std 1149.1"Test Access Port and Boundary-Scan Architecture"として承認された。

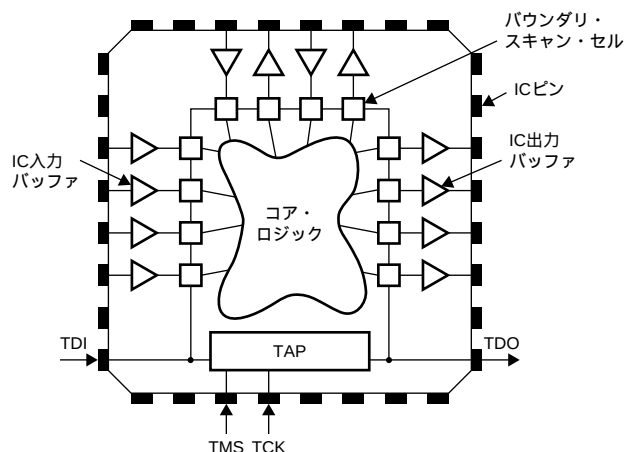
念ながら、本手法を正しく理解し、適切に使いこなしているユーザはまだ多いとは言えません。実際、ボード・テストの現場ではバウンダリ・スキャンに関するトラブルが絶えない状況です。本稿ではまず、バウンダリ・スキャンの基礎的な事項について簡単に紹介した後、バウンダリ・スキャンに関するトラブルとその解決法について解説します。

1. バウンダリ・スキャンの基礎知識

まず、バウンダリ・スキャンのしくみについて説明します。

●16 状態のステート・マシンで制御

バウンダリ・スキャンに対応したLSIでは、上述のようにコア・ロジックと各ピンの間に、プローブに相当するレジスタが配置されています(図2)。このレジスタどうしを



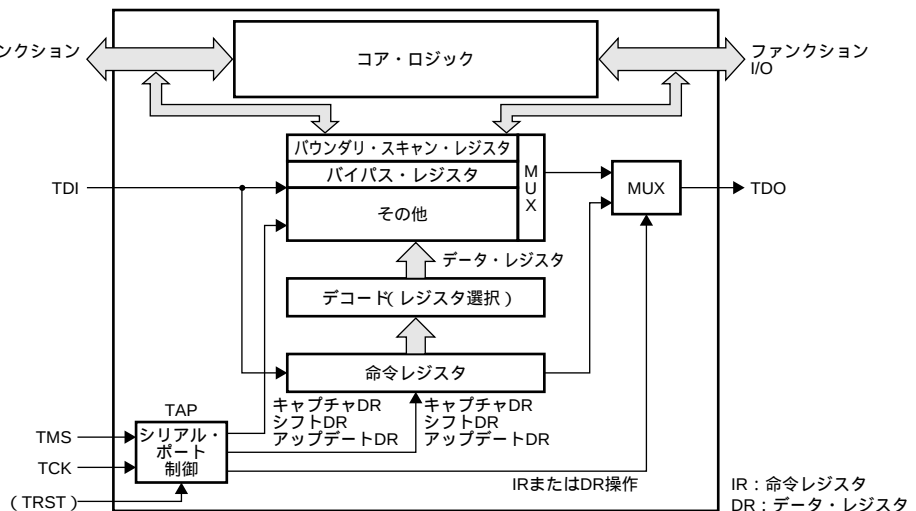
【図2】バウンダリ・スキャン

JTAGデバイスには、コア部と各ピンの間に、テスト・プローブに相当する働きをする「バウンダリ・スキャン・セル」と呼ばれるレジスタが配置されている。

【図3】

バウンダリ・スキャン対応LSIの内部構造

バウンダリ・スキャンに対応したLSIには、コア部のほかに、テスト機能を実現するための簡易的な専用プロセッサが組み込まれていると考えられるとわかりやすい。



接続してシフト・レジスタを構成します。そして、このシフト・レジスタを制御してテスト信号を入力したり、入力に対する応答を取り出します。

バウンダリ・スキャンに対応したLSIのアーキテクチャを図3に示します。本来のコア・ロジックのほかに、テスト機能を実現するための簡易的な専用プロセッサが組み込まれていると考えられ、わかりやすいかもしれません。

TDI(test data input)ピンはデータ・レジスタ(上述のシフト・レジスタ)の入力となり、データまたは命令が入力されます。このデータ・レジスタには、バウンダリ・スキャン・セルのほか、TDIから入力されるデータをTDO(test data output)ピンへパイパスする経路となるパイパス・レジスタなどが含まれます。オプションとして、LSIメーカーを識別するためのIDCODEレジスタを組み込む場合もあります。

TDIから入力されたデータが命令コードであれば命令レジスタに格納されます。これがデコードされた結果として内部制御信号が生成され、データ・レジスタを選択・制御します。

TAP(test access port)コントローラは、16の状態を持つステート・マシンです。TMS(test mode select)信号とTCK(test clock)信号によって状態が遷移し、データ・レジスタや命令レジスタ、マルチプレクサなどを制御してバウンダリ・スキャンの機能を実現します。TRST(test reset)は、TAPコントローラを初期化する信号で、オプションです。TMSが「H」状態でTCKの立ち上がりエッジを5回検出した場合も、TAPコントローラが初期化されます。