

システム設計者や PCB技術者のための 半導体パッケージ技術入門(中編)

——パッケージの適用例と設計手順

榎本 實

機器メーカーの半導体ユーザやプリント基板技術者など、かならずしも半導体パッケージの専門家ではない方々を対象としたパッケージ技術に関する入門記事の続編をお届けする。今回は、前回紹介したさまざまな半導体パッケージが、実際にどのように使い分けられているかについて解説する。パッケージは、必要なピン数や高さ、熱、実装方法などの条件を念頭に置いて選択する必要がある。後半では、パッケージの具体的な設計手順や設計時の注意事項について説明する。(編集部)

前回(本誌2004年4月号, pp.128-141)述べたように、ユビキタス・ネットワーク社会の到来とともに、電子機器は高性能化に加えて、小型・軽量化が要求されるようになり

ました。そのため、パッケージも著しく進化しています。

● さらに改良が進むエリア・アレイ型

現在、パッケージは、挿入型に代わって面実装型が主流になっています(図1)。その面実装も、以前は価格面の理由からQFP(quad flat package)が主流でしたが、最近では小型化の要請から、小ピンではQFN(quad flat non-leaded package)のような周辺ノン・リード型が、多ピンではBGA(ball grid array)のようなエリア・アレイ型が多くなってきています。

これらのパッケージの現状について説明します。

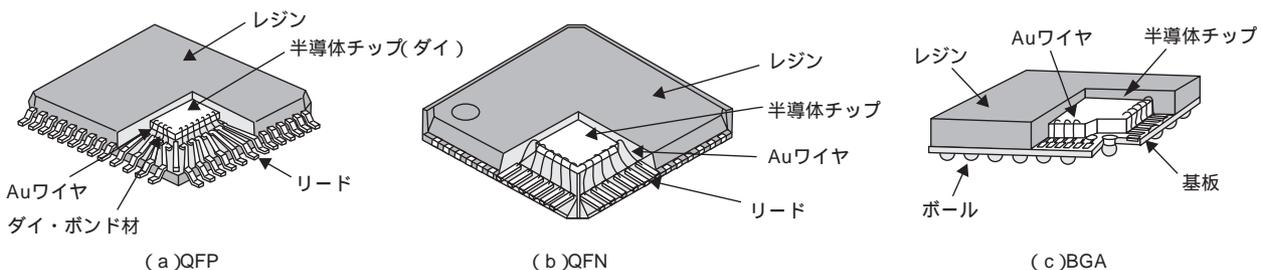


図1 面実装パッケージの内部構造

これまでは価格や使いやすさの優位性から、QFPが主流だった。近年、小型化の要求から、少ピンではノン・リード型のSONやQFNが使われるようになった。また、多ピンではエリア・アレイ型のBGAが使われている。

表1
辺実装型パッケージの業界ロードマップ

QFPは多ピン化のために狭ピッチ化が必要になる。SONやQFNはリードがないため、大型化できない。JEITAの予測。

パッケージ	項目	2002年	2004年	2006年	2008年	2010年	2012年
QFP	最小端子ピッチ(mm)	0.4	0.4	0.3	0.3	0.3	0.3
	最大端子数	376	376	504	504	504	504
	最小取り付け高さ(mm)	1.0	0.8	0.8	0.65	0.5	0.5
SON	最小端子ピッチ(mm)	0.5	0.5	0.4	0.4	0.3	0.3
	最大端子数	60	60	80	80	100	100
	最小取り付け高さ(mm)	0.8	0.8	0.65	0.65	0.5	0.5
QFN	最小端子ピッチ(mm)	0.4	0.4	0.3	0.3	0.3	0.3
	最大端子数	144	144	200	200	200	200
	最小取り付け高さ(mm)	0.8	0.8	0.65	0.65	0.5	0.5

1) QFP(quad flat package)

実装基板やソケットの狭ピッチ化、および基板実装技術の進歩とともに、QFPの端子ピッチがいつそう狭くなり、高密度実装化が進んでいます。

表1に示すように、現在のQFPの端子ピッチは0.4mmですが、JEITA(Japan Electronics and Information Technology Industries Association; 電子情報技術産業協会)の予測では、2006年に0.3mmピッチ、40mm角、504ピンのパッケージが量産されると考えられています⁽¹⁾。また、筆者らの会社(ルネサス東日本セミコンダクタ)では、すでに0.3mmピッチ、32mm角、384ピンのQFPを量産しています。現在のQFPの取り付け高さは1.0mmで、2010年には0.5mmになると予測されています。

通常、QFPのフレームにはFe-Ni系合金が使用されます。放熱性や電気特性を改善するため、Cu素材が使用されることもあります。

2) QFN(quad flat non-leaded package), SON(small outline non-leaded package)

リードが4辺から出ているQFPや2辺から出ているSOP(small outline package)を小型化するため、外部リードをなくしてパッケージ裏面から実装用電極を取り出す構造にしたものがQFNとSONです。リード・フレーム材を加工して、裏面の電極リードを形成します。

パッケージ裏面のリードを直接基板に実装するため、平坦性(コプラナリティ)や機械的強度の観点から、外形は最大15mm程度が限界です。そのため、現在のリード・ピッチは0.4mm~0.5mmで、SONの最大ピン数は60ピン程度、QFNの最大ピン数は144ピン程度です。2010年にはリード・ピッチが0.3mmになり、最大ピン数はそれぞれ100ピン、200ピン程度になるものと予測されています。

現在のQFNやSONの取り付け高さは0.8mmですが、2010年には0.5mmになるものと予測されています。

3) BGA(ball grid array)

半導体の微細化技術の進歩により、システムLSIはますます高集積になっています。それに伴ってパッケージのピン数が増加しています。LSIのゲート数とパッケージの信号ピン数の間には「レントの法則(Rent's rule)」という経験則があり、これは次式で表されます。

$$P = KG^A$$

ここで、 P は信号ピン数、 G はゲート数、 A はレント係

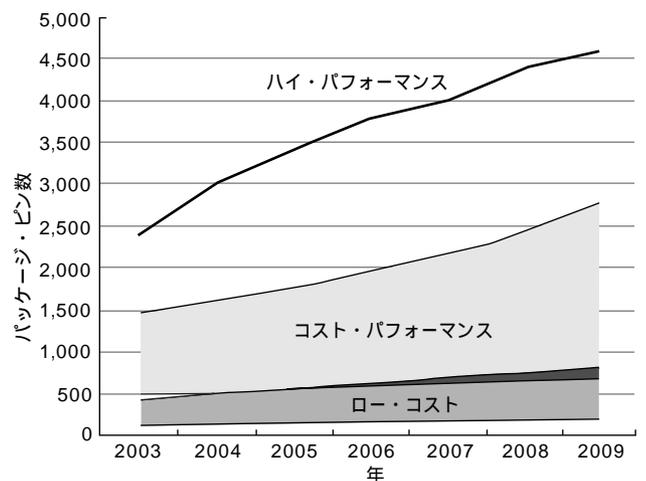
数、 K は比例定数です(A と K は経験から得られた定数。一般的には $A = 0.5$, $K = 0.5$)。

多ピン化が要求される場合、QFPのような周辺実装型では外形が大きくなってしまいうため、BGAのようなエリア・アレイ型のパッケージが多く採用されています。ITRS(International Technology Roadmap for Semiconductor) 2003のロードマップでは、図2に示すようなピン数が必要になると予測されています⁽²⁾。数十ピンの低コスト品から数千ピンの高性能品まで、幅広い範囲をカバーする必要があります。そのため、前回、紹介したようにBGAには非常に多くの構造があります(本誌2004年4月号、p.133の図10を参照)。

それでは、BGAのそれぞれの構造がどのような用途で用いられているかについて、細かく見ていきましょう。

● ピン数、高さ、熱などの制約に合わせてBGAが多様化

前回も述べたとおり、BGAを基板材料(インターポーザ)で分類すると、セラミック基板を用いたCBGA(ceramic ball grid array)、有機基板を用いたPBGA(plastic ball grid array)、ポリイミド・テープを用いたTBGA(tape ball grid array)に分かれます。CBGAは気密封止や高周



- ロー・コスト : 500ドル未満(家電製品、ワイヤレス製品、ディスク装置、ディスプレイ)
- コスト・パフォーマンス : 3,000ドル未満(ノート・パソコン、デスクトップ・パソコン、通信機器)
- ハイ・パフォーマンス : 3,000ドル以上(ハイエンド・ワークステーション、サーバ、航空電子機器、スーパー・コンピュータ)

図2 パッケージの最大端子数の要求トレンド

パッケージは、数十ピンの低コスト品から数千ピンの高性能品まで、幅広い範囲をカバーする必要がある。そのため、BGAには非常に多くの構造が存在する。ITRS2003のロードマップ。