送信機をFPGAボード に実装して動かす

2005年1月号付属 FPGA 基板を使って動作を確認

ここでは、QPSK (quadrature phase shift keying) 変調方 式の送信機、および $\pi/4$ シフト QPSK 変調方式とASK (amplitude shift keying) 変調方式の切り替えが可能な送信 機について、実際に回路データをFPGA 上に展開して動作確 認を行う. 変調方式の切り替えには、外部のプッシュ・スイッ チを利用している.なお、ここでは、本誌 2005 年 1 月号に 付属した FPGA 基板 (米国 Xilinx 社の [Spartan-3 XC3S50-4VQ100]を搭載) にこれらの送信機を実装した. (編集部)

第5章

ここでは,第3章で解説したQPSK(quadrature phase shift keying)変調方式の送信機,および第4章で解説した

/4シフトQPSK 変調方式とASK(amplitude shift keying) 変調方式の切り替えが可能な送信機を FPGA 基板に実装し て動作確認を行います.なお,ここでは論理合成,配置配 線用ツールとして米国 Xilinx 社の「ISE」を使用しています^注.

本稿では,まず FPGA 基板の構成について説明します. 次に,論理合成によって HDL 記述をゲート・レベルの回路 情報に変換するための設定方法を説明します.なお,論理 合成,配置配線用ツールの使いかた,FPGA 基板上の PROM(コンフィグレーション ROM)用データの作成や書き 込みの手順などについては,pp.99-104のコラム「論理合成, PROM データ作成,PROM 書き込み」を参照してください.

その後,第3章で設計した QPSK 変調方式の送信機を FPGA 基板に実装するために必要となる制約条件ファイル (ucfファイル)について説明します.そして,実機への実 装を行い,ロジック・アナライザを利用して動作確認を行 います.時系列データあるいは*IQ*コンスタレーションを作 成し,シミュレーション結果と同じ出力が得られることを

確認します.

また,第4章で設計した /4シフトQPSK 変調方式と ASK 変調方式の切り替えが可能な送信機をFPGA に実装 するために必要となる最上位 HDL モジュールと制約条件 ファイルについて説明します.搭載した reset 信号と変調 方式の切り替え信号を単一スイッチ信号から生成する回路 についても説明します.実機への実装を行い,FPGA 基板 の reset ボタンの ON/OFF によって変調方式が変化する ことを確認します.



今回は,回路データを実装する FPGA ボードとして,本 誌2005年1月号の付属基板を用います(写真1).詳細につ いては同号の記事を参照してください.



写真1 FPGA 基板

横山明久

注:筆者は今回,論理合成,配置配線ツールとして,本誌2005年1月号付属CD-ROMに収録されているWebPACK 6.3iを使用した.



FPGA ボード上のコネクタやプッシュ・スイッ チ, FPGA間の物理的な信号接続, および FPGA 内部の回路入出力信号と実際のピンの対 応を示している.図の左右にある四角はユーザ 拡張用 I/O(コネクタ CN2), 中心の四角が FPGA, 右下にあるプッシュ・ボタンは reset 信号生成用である.

図1



写真2 FPGA 基板を動作させているようす

2005年1月号付属基板を活用

この付属基板には,90nm ルールのCMOS プロセスで製 造された約5万ゲート相当である米国 Xilinx 社製の FPGA 「Spartan-3(XC3S50-4VQ100)」が搭載されています. 基板 上にはレギュレータが搭載されており, 3.3V 単一電源の供 給によって動作します.また,基板上には電源接続用パタ ーンも用意されています.

この基板はJTAGヘッダを備えているので,JTAG経由 でコンフィグレーション・データを FPGA にダウンロード できます.また, FPGA専用のPROM(Xilinx社の「XCF 01SVO20C」)用パターンが用意されています. PROMを搭 載してそこにビット・ファイル・データを書き込むことで、 電源投入時に自動的にコンフィグレーション・データを

FPGA にロードすることができます.今回はPROMを搭 載し,PROM データの作成と書き込みを行って,FPGA 基 板単体で動作させることにします。

(reset)

本 FPGA 基板にはプッシュ・スイッチ(オムロンの「形 B3W-1100」を推奨)を実装するパターンが用意されており, これによって外部からON/OFF 信号を入力できます.今 回はこのプッシュ・スイッチを搭載して reset 信号を生成 したり,変調信号の切り替え信号として利用しました.

また,本 FPGA 基板はユーザ拡張用 I/O ピンを備えてい ます.クロック入力用のグローバル・クロック線が8系統, 信号入出力用の汎用1/0が50本となっています.図1に, ボード上の FPGA ピンと汎用 I/O ピンの間の接続を示しま す.写真2は,実際にFPGA基板を動作させたときのよう すを撮影したものです.

FPGA 基板のユーザ端子から変調された IQ 信号をディジ タル値として出力するには,次のような手順をとります.

- 論理合成,配置配線後のビット・ファイルから ROM デ ータを作成
- FPGA 基板に3.3V 電源を投入
- FPGA のコンフィグレーション, または ROM データの PROM 書き込み(コンフィグレーションにはダウンロー ド・ケーブル「Parallel Cable 」を使用)
- 8.192MHz のクロックをCLK 端子へ入力 (水晶発振子または信号発生器による)
- ●ロジック・アナライザによって出力信号を観測