

第3章

高速シリアル通信を行う際の SerDes 機能の実現法

外付け SerDes チップ vs. FPGA 内蔵 SerDes マクロ

皆川 翔

差動インターフェースは、パラレル・バスにも適用できるが、LSI間やボード間的高速シリアル伝送で使われることも多い。しかしLSIの内部では、データはパラレルに処理されている。そこで重要になるのがSerDes(シリアライザ/デシリアライザ)である。ここでは、LSI間やボード間的高速シリアル通信を行う際のSerDes機能の実現方法を考える。(編集部)

さまざまな電子機器で大容量データを扱うようになりました。データの転送レートを上げる方法の一つに、バス幅の拡張があります。しかしこの方法は、プリント基板の高密度化、および配線を通るデータ的高速化に伴う信号の反射やクロストーク・ノイズなどが問題となる場合があります。また、機器の小型化に伴う配線の物理的な制約の問題

もあります。

プリント基板上の配線を減らさなければならないときやボード間をつなく配線数に制約があるとき、解決策の一つとして、パラレル・データをシリアルに変換して送受信する方法があります。シリアル伝送であれば、配線数は少なく済みます。

パラレル・データをシリアル・データに変換したり、シリアル・データをパラレル・データに戻す際には、SerDes(シリアライザ/デシリアライザ)と呼ばれる機能を使います。また、信号を高速にやりとりする必要があるため、差動インターフェースが用いられます。SerDesには、シリアル-パラレル変換のほか、高速シリアル伝送で使われる多くの機能が統合されています。

本稿では典型的なシステムにおける高速シリアル・インターフェースの適用法を解説します。とくに、設計条件に見合ったSerDes機能の実現方法に注目します。

① 高速パラレル・データ伝送の問題

1枚のプリント基板に、数多くのASICやFPGAが実装されることがよくあります。そして多くの場合、これらのLSIの間でデータのやり取りが行われます。

● 多ピンのLSIはコスト・アップにつながる

LSI間で大量のデータをやり取りしたい場合、真っ先に考えつくのはデータ・バス幅を広げる方法だと思います(図1)。

LSIの集積度が上がるに従って、パッケージのピン数も増えています。例えば、FPGAでも900ピン以上のI/Oピンを持つ製品があります。多ピンのパッケージを選択し、LSI間を多ビット・パラレルでつなげば、大量のデータ伝

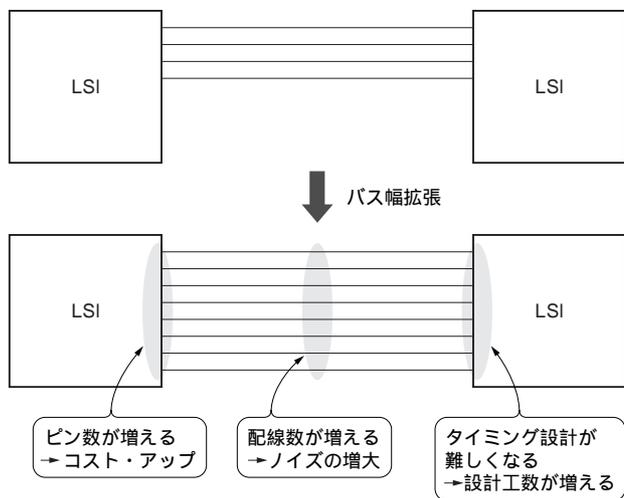


図1 高速パラレル・データ伝送の問題

データ・バス幅を広げれば、大容量データ伝送が可能になるが、多くのI/Oピンが必要になり(コスト・アップ)、プリント基板上の配線数が増え(ノイズの増大)、タイミング設計が難しくなる(開発工数の増大)などの問題を招くことがある。

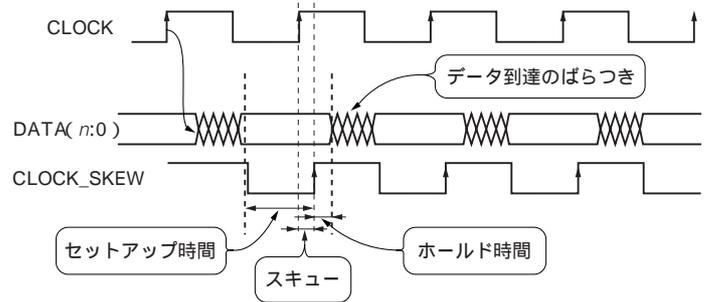
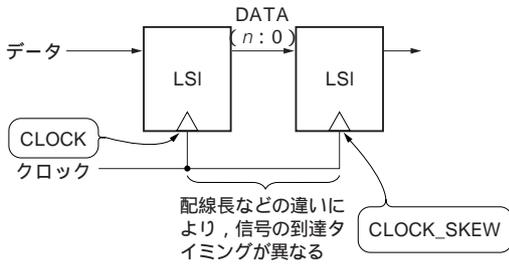


図2 高速データ伝送はタイミングが難しくなる

パラレル・データの伝送では、プリント基板上のパターンへの引き回しの影響でデータ到達時間にばらつきが生じる。このため、すべてのデータが確定するタイミングが遅れ、セットアップ時間が厳しくなる。LSI間のクロックにスキューによっても、セットアップ時間やホールド時間が厳しくなる。CLOCK_SKEWはCLOCKに対して早くなることも遅くなることもありうる。

送は容易に実現できそうです。

しかし、多ピン・パッケージのLSIは、少ピン・パッケージのLSIと比べて高価になる傾向があります。LSI間のデータ伝送のために高価なLSIを使うことは、コストの面で好ましいとはいえません。

● 高速データ伝送はタイミングが難しくなる

高速なデータ伝送を行う場合、信号のタイミングを考慮しなくてはなりません。例えば、送信側のLSIからのデータ出力タイミングと、受信側のLSIの入力セットアップ/ホールド時間をすべてのビットに対して厳密に調整しなければならないのです。

図2のような回路を考えてみます。2個のLSIには、共通のクロック信号が入力されています。しかし、プリント基板の配線長の違いなどにより、クロック信号の到達時間は異なります。このタイミングのずれがクロック・スキューです。クロック・スキューは、正負両方の場合が考えられますが、受信側LSIへのクロック入力(CLOCK_SKEW)が送信側LSIへのクロック入力(CLOCK)より遅れる場合を正とします。

LSI間をつなぐパラレル・バスのDATA信号にも配線遅延があります。そしてビットごとの配線長が異なれば、ビットごとに到達タイミングがずれることとなります。

ここで、回路を正常に動作させるために、以下の条件を満足しなければなりません。

$$\begin{aligned} & \text{サイクル時間} \quad \text{送信側 LSI のクロック-出力時間} \\ & \quad + \text{DATA 信号の配線遅延の最大} \\ & \quad + \text{受信側 LSI のセットアップ時間} \\ & \quad - \text{クロック・スキュー} \end{aligned}$$

$$\begin{aligned} & \text{ホールド時間} \quad \text{送信側 LSI のクロック-出力時間} \\ & \quad + \text{DATA 信号の配線遅延の最小} \\ & \quad - \text{クロック・スキュー} \end{aligned}$$

この制約条件を満たすためには、LSI間のプリント基板の配線パターンが容易でないことがわかつています。

● パラレル・バスはノイズの原因になる

パラレル・バスでは、プリント基板上の配線パターンが膨大な本数となる可能性があります。高速動作によるオーバシュート/アンダシュート、同時スイッチングによるグラウンド・バウンスなどのノイズが懸念され、シグナル・インテグリティ(信号波形の品質)が低下する要因となります。

シグナル・インテグリティ改善のためには、LVDSなどの差動インターフェースの利用が考えられます。しかし差動信号は、LVTTTLなどのシングルエンド信号に比べて2倍の配線が必要になってしまいます。また、1チップで実現できる差動チャンネル数の問題もあります。

プリント基板間のデータをバックプレーンを經由して伝送する際、データを伝送する本数がコネクタのピン数よりも多くなってしまえば物理的に通信できないので、パス幅を増やすにも限界があります(図3)。

② 低コストLSIにSerDesチップを付ける

従来のパラレル伝送で設計が困難な場合、高速シリアル伝送に頼るしかありません。パラレル線をシリアル線にすることにより、伝送に必要なパターンの本数を大幅に削減することができます。

ただし、大容量のデータをシリアルで伝送するわけです。