

2004年6月からPCI Expressを採用したボード製品が出回り始めましたが、2005年4月には最新仕様のPCI Express Rev.1.1が発表されました。前のバージョンであるPCI Express Rev.1.0aをもとにした測定ノウハウについては、以前に本誌(2004年6月号、7月号、9月号)で解説しました。ここではRev.1.0aから大きく変わったジッタに関する仕様に焦点を当てて説明したいと思います。(筆者)

PCI Express Rev.1.0aが登場してから約2年が経過しました。この間に、ジッタの評価方法に関する技術が著しく進歩しました。PCI ExpressのようなGHzを超える信号を送送する高速シリアル・インターフェースでは、ジッタが重要なポイントになります。こうした背景から、PCI-SIG (Special Interest Group)ではワーキング・グループが結成され、ジッタ規格の見直しが行われました。その結果、おもに次の3点が見直されました。

1) 参照クロックのジッタがシステムに与える影響を考慮

リファレンス・クロックのジッタが与える影響を避けるため、“PCI Express Base Specification”^{注1}ではアイ・ダイアグラム^{注2}などを測定する際に、ジッタのないクロック(clean clock)を使用するようになりました(p.119のコラム「ジッタがアイ・ダイアグラムに与える影響」を参照)。また、“Card Electromechanical(CEM) Specification”^{注3}では、システム・ボード側からアドイン・カードに供給されるリファレンス・クロックのジッタを規定しました。

注1：PCI Expressの基本仕様をまとめた規格書。

注2：一連のデータ波形の重なりを表示して、ノイズやジッタなど、信号の品質を総合的に評価するテスト項目。

注3：システム・ボードとアドイン・カードに関する規定。

注4：UI(unit interval)はビット同期を示す。PCI Express Rev.1.xでは1UIは400ps。

2) ランダム・ジッタ、デタミニスティック・ジッタを規定

今日のシリアル・インターフェースでは、ジッタを単にトータル・ジッタ(T_j)という総量でとらえるのではなく、ランダム・ジッタ(R_j)とデタミニスティック・ジッタ(D_j)をそれぞれ評価するように規格化される傾向にあります。そこで、PCI Expressにおいても、 T_j だけでなく R_j と D_j を規定しました。

3) サンプル・サイズを明確化

2)に絡むことですが、 R_j が測定時間によって変わるため、アイ・ダイアグラムやジッタを規定しているサンプル・サイズ(UI^{注4})を明確にしました。

このほか、Rev.1.0aの規格制定以降、Errataという形で発行された訂正を反映しました。

以下に、Base SpecificationとCEM Specificationの変更点について説明します。

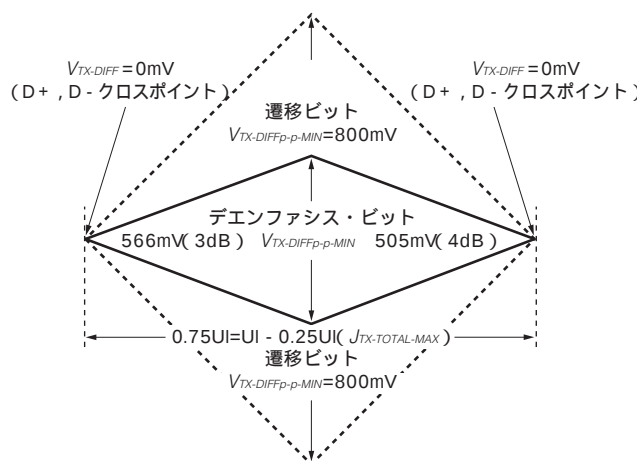


図1 トランスミッタにおけるアイ・ダイアグラム⁽¹⁾

トランスミッタのアイの幅を0.7UI(280ps)から0.75UI(300ps)に変更された。

● アイやジッタの仕様、評価方法が変更された

Base Specification は、トランスミッタ(送信端)とレシーバ(受信端)についての規格です。PCI Express Rev.1.1 では以下の三つの項目が変更されました。

1) トランスミッタのアイの幅、ジッタ量

まず、トランスミッタのアイの幅とジッタ量ですが、具体的には次のように変更されました。

- トランスミッタのアイの幅を 0.7UI(280ps) から 0.75UI(300ps) に変更(図1)
- ジッタ量($T_{TXEYE-10-MAXJITTER}$)を 0.15UI から 0.125UI に変更
- $T_{TXEYE-10-MAXJITTER}$ の測定に必要なサンプル・サイズを、従来の 250UI から 1,000,000UI に変更

数字だけを見ると一見厳しくなったように思えますが、評価方法が変更されたため一概に比較はできません。ここで、評価方法の変更とは、次のアイ・ダイヤグラム/ジッタ測定のクロック・リカバリ方法の変更を指します。

2) アイ・ダイヤグラム/ジッタ測定のクロック・リカバリ

PCI Express Rev.1.0a では、測定の際にオシロスコープで取り込んだ 3,500UI 分のシリアル・ビット・ストリームから最小 2 乗法や偏差最小化法を使ってクロック・リカバリ(受信データの変化に応じたクロック信号の再生)を行っていました。そして、再生されたクロック信号をもとにアイ・ダイヤグラム表示とジッタ測定の際のリファレンス・タイミングを決定していました(図2)^{注5}。

一方、PCI Express Rev.1.1 では、クロック・リカバリの

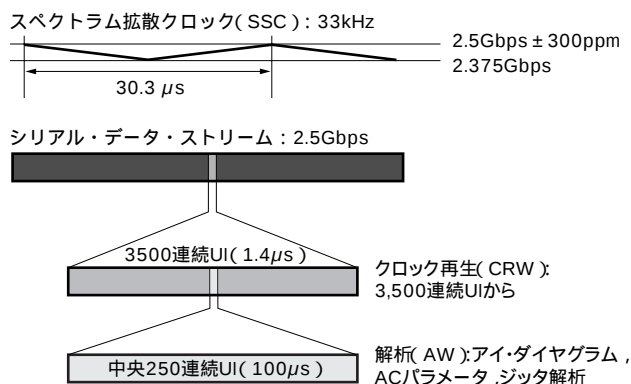


図2 Rev.1.0a で測定用に求められるクロック・リカバリ方法

取り出された 3,500UI からクロックを再生している。

注5: リカバリされたクロックを基準にしてアイ・ダイヤグラムを表示したり、ジッタを測定するということは、クロック・リカバリのPLLが追従できないジッタを評価することになる。

注6: クロック信号をスペクトラム拡散することによって、電磁放射強度を低減したクロック。これにより、クロック信号のEMIを削減できる。

方法は式(1)で表現される1.5MHz帯域の1次PLL(phase-locked loop)に変更されました(図3)。

$$H(s) = \frac{s}{s + 2\pi \times 1.5 \times 10^6} \dots\dots\dots (1)$$

同時に、ジッタのない“clean clock”を使用するようになりました。このclean clockを実現するため、EMI(electromagnetic interference)を抑制するためのSSC(spread spectrum clocking)^{注6}の使用をやめ、場合によっては低ジッタのクロック発振器を使用するように定められています。

SSCの変調周波数(30kHz ~ 33kHz)の高調波成分や低周波のジッタ成分がリファレンス・クロックに重畳していると、システム全体のジッタが悪化します。そこで、リファレンス・クロックのジッタの影響を除去して、純粋にトランスミッタのジッタだけを評価するように変更しました。

3) トランスミッタPLLの帯域幅とピーキングを指定

トランスミッタ内でリファレンス・クロックを1倍するPLLの特性は、次のように指定されています。

- 1.5MHz ~ 22MHzの範囲にカットオフ周波数(減衰値が -3dBになる周波数)がある
 - 3dB以下のピーキングがDC ~ 22MHzの範囲にある
- ピーキングを持つということは、逆にこの周波数のジッタ成分は増強されることを意味します(図4)。

● ジッタをより正確にとらえる

CEM Specificationは、トランスミッタとレシーバの間にコネクタを一つ以上設ける場合の規格です。システム・ボードとアドイン・カードのエッジ・コネクタ部分で規定されています。とくに、システム・ボードとアドイン・カードの相互接続性(interoperability)に関する重要な仕様

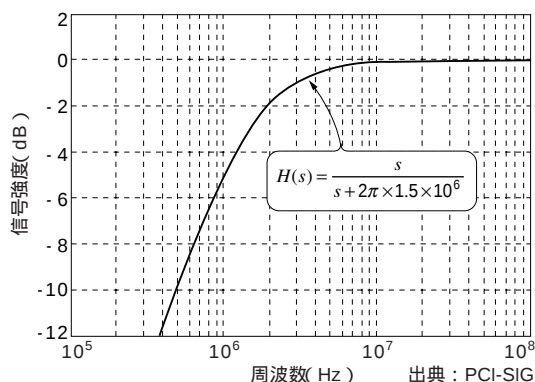


図3 Rev.1.1a で測定用に求められるクロック・リカバリ方法
1.5MHz帯域の1次PLLを採用している。