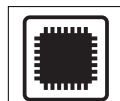


連載

# FPGAで学ぶVerilog HDL

第4回  
(最終回)

デジタル時計を作る



デバイスの記事



ビギナーズ



関連データ

井倉将実



前回(2005年11月号, pp.117-122)は, 180秒のタイマを設計しました。180秒タイマは, 3けたのカウンタを順次回すことでカウント・ダウンするものでした。今回はこれを機能アップし, デジタル時計を作ります。なお, 本稿で紹介する設計データは, 本誌Webサイト(<http://www.cqpub.co.jp/dwm/>)からダウンロードすることができます。(筆者)

今回は, 電源投入直後(またはFPGA起動直後)から時を刻み, 時刻を表示する時計を設計します。普通の時計では, 時刻を設定する方法が用意されています。しかし, 時刻設定の機能はかなり複雑な処理になるため, 今回は実装しません。

## 1. デジタル時計の仕様を考える

本連載で使用するFPGAボード<sup>(1)</sup>には, 3けたの7セグメントLEDが搭載されています。しかし, 3けたでは, 「12時34分56秒」と表示できません。6けたもある時刻の情報を少ないけた数で表示するため, 今回は以下のような方法をとります。

### ● 分割表示を行う

「時:分」と「秒」を切り替えて表示します。切り替えには, FPGAボード上のスイッチSW3を使用します。

スイッチを押していない状態(電気的には「H」レベル)では, 7セグメントLED上に「時:分」を表示します。スイッチを押している状態(電気的には「L」レベル)であれば「秒」を表示します。

「時:分」の表示は, 「11:59」のように4けたが必要です。これを3けたで表現するために, 時のけたは16進表示にし

ます。つまり, 1時から9時まではそのまま数字を表示し, 10時のときは「A」, 11時のときは「B」とします。例えば, 11時59分であれば「B59」と表示します。また, 1分のけたの7セグメントLEDに用意されている「(ドット・ポイント)」を1秒ごとに点滅させます。

「秒」の表示では, 3けたのうちの下2けたに秒の値を表示します。3けた目は「-」を表示します。

### ● 時を早く刻む

デジタル時計は, 0時00分00秒から始まり, 11時59分59秒まで進んだら次は再び0時00分00秒に戻ります(12時間表示の場合)。実際に時計として使っているときに, これで不つごうを感じることはありません。

しかし, 設計した回路の動作を見たい(検証したい)ときはどうでしょうか。1時間に1回しか起こらない「時」のけたのカウントアップや, 12時間に1回しか起こらない0時00分00秒に戻る動作を待つてはいられません。

そこで, 1秒の単位を加速する機能を加えることにします。例えば, 本来は1秒単位で駆動する秒タイミング信号を1/30秒で駆動するようにすることで, 30倍早く時を刻む時計になります。加速する動作を「ブースト・モード」と名づけます。スイッチSW4を押している間だけ時間を30倍早く進ませることにします。これで, 1分が2秒で, 1時間が2分で進むこととなります。こうすることで, けた上がりの状態を目で観測しやすくなります。

実は, ブースト・モードを利用すると, 時刻合わせもできます。実際の時計のように使いやすい時刻セットの機能は, みなさん自身の知恵で実現していただきたいと思います。秒カウンタのリセット機能と分カウンタのカウントアップ機能さえあれば, それなりに使える時計になります。

## 2. 回路設計のポイント

デジタル時計の Verilog HDL ソース・コードをリスト1に示します。今回は、新しい構文は一つありません。前回までの知識の範囲で、デジタル時計を作ることができます。

### ● 時、分、秒のけたの回路——時を刻む動作

あたりまえのことですが、デジタル時計は、時、分、秒を数えます。

回路の主要部分は180秒タイマの応用です。大きな違いは、180秒タイマではカウント・ダウンしていましたが、デジタル時計ではカウント・アップするところです。また、「59秒」や「59分」の次に上のけたをカウント・アップするように、条件判断の動作が必要です。

時、分、秒の各けたは、1秒ごとに動作するカウンタを実装します。また、分と秒は、それぞれ2けたのカウンタにします。すべてのけたカウンタは、直前までのカウンタ値を1秒ごとに評価して動作を決めます。

これらの動作を細かく見てみると、以下のような制御を行うことで、時計として機能します。

- 1秒のけたカウンタはフリー・ランで動く。ただし、自身が9であれば0に戻る。
- 10秒のけたカウンタは、1秒のけたカウンタが9であれば+1する。ただし、自身が5であれば0に戻る。
- 1分のけたカウンタは、10秒のカウンタが5、1秒のカウンタが9(59秒)であれば+1する。ただし、自身が9であれば0に戻る。
- 10分のけたカウンタは、1分、10秒、1秒のカウンタが順に9、5、9(9分59秒)であれば+1する。ただし、自身が5であれば0に戻る。
- 時のけたカウンタは、10分、1分、10秒、1秒のカウンタが順に5、9、5、9(59分59秒)であれば+1する。ただし、自身が11であれば0に戻る。

このように、自分のカウンタの値をどのように進めるべきかを定めるため、1秒ごとにほかのカウンタの値を確認することがポイントになります。

### ● 7セグメントLED表示部——16進数表示への拡張

前回の180秒タイマでは、0~9の数字以外のコードを判

別したら「-」(マイナス)を表示させていました。今回の時計の場合、「分」と「秒」はまったく同じ機能を使えます。しかし、「時」の部分は10時のときにAを、11時のときにBを表示させなければなりません。そこで、16進数を表示する回路への拡張が必要です。

そこで今回は、%1010と%1011に、それぞれAとBを表す7セグメントLEDの表示パターンを追加しました。

### ● 1秒タイミング生成回路

1秒のタイミングを生成する機能は、基本的に前回の180秒タイマと変わりません。ただし、今回はブースト・モードを追加しています。

スイッチの値を読み取ることで、ブースト・モードであるかどうかを判定します。内部に用意されているフリー・ランニングの一つのアップ・カウンタの値を、モードごとに異なる判別方法で利用します。

ブースト・モード時は、スイッチの値は電氣的に“L”レベルになります。よって、まずif (SW\_VMAX == 1'b0)で、スイッチが押されているかどうかを判断し、スイッチが押されているときは1/30秒のパラメータ値になったらPulse\_1sec信号をセットします。スイッチが押されていないときはelse以降の条件文に移行し、1秒のパラメータ値で判断します。上段と下段では条件文に使用するカウンタ比較パラメータが違います。

このようにすることで、1秒単位と1/30秒単位を切り替えてPulse\_1sec信号を出力できます。

### ● 動作確認

米国 Altera 社の Quartus を使って、論理合成と配置配線を行います。ピン配置は表1のようになります。

でき上がった回路データをFPGAにダウンロードすると、7セグメントLEDには「000」が表示されるはずですが、そして、いちばん右のけたにある「.」が1秒ごとに点滅を繰り返します。

SW3を押すと、7セグメントLED上には「-」と2けたの数字が現れ、数字は1秒ごとにアップカウントします。「59」の次には「00」に戻ります。

SW4を押します。30倍早く時間が進みます。分や時の単位がどんどん加算されていくのがわかります。同時にSW1を押して秒表示にすると、ほとんど見えないくらい高速にカウント・アップしています。