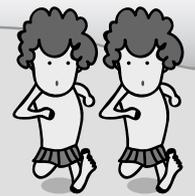


冗長設計， 私の取り組み事例 15 連発！



ハードウェアやソフトウェアの2重化から動作温度に関するディレーティングまで

柴田 肇，細田隆之，漆谷正義，沖田十三，小山英利，櫻田信弥，島田義人，
佐藤四郎，川田章弘，結城健二，今村元一，河添秋雄，月元誠士

ここでは、第1章で紹介した冗長設計についての具体的な取り組み事例を紹介する。ハードウェア設計者やソフトウェア設計者、IC設計者、電源設計者、プロジェクト責任者など、さまざまな立場のエンジニアが考案・実施した冗長設計について、15の事例にまとめてある。 (編集部)

本章で紹介する設計事例を下掲の表1にまとめました。ある筆者は次のように言います。「結局、起こり得るトラブルを事前に想定するにも、個人の想像力という能力頼みなところはあります。トラブルが発生して、調べていくと、そりゃ当然だろう！なんで想定できなかったの？ってことも少なくないです。センスの問題なのかもしれません」。起こり得るトラブルを事前に想定する能力(センス)は、

経験と普段からの知的探求心によって磨かれるものだと思います。ここに掲載する事例が少しでも皆さんのセンスを磨く助けになれば幸いです。

信頼性の高い製品を作るにはコストが掛かるとというのが一般的な考え方なのですが、最近では、信頼性を高くしておかないと後から追加費用が発生し、かえってコスト高になってしまうケースがみられます。

信頼性を数値化し、さらにそれをお金に換算するのは難しいことです。しかし、製品を購入する顧客は、信頼性に関して感覚的な評価基準を持っており、ブランドという「信頼性の一つの物差し」にお金を出しています。信頼は1日では得られません。長い年月をかけて、コツコツと培っていくものであると考えます。

表1 本稿で紹介する冗長設計事例

事 例	分 類	ページ
1 アナログICのばらつきを抑える設計法	回路	77
2 EPROMの2重化，EPROMの比較結果の誤り訂正符号化	回路	80
3 PLLにより無線制御機器の妨害排除能力を強化する	回路	84
4 使わない端子や機能も定義しておく	ソフトウェア	86
5 IPコアの規模増大やI/Oの複雑化への対応	ソフトウェア	88
6 Hブリッジを使ったモータ・ドライバの破壊を防ぐ回路	回路	90
7 可変抵抗器の接触不良による事故を防ぐ回路	回路	91
8 コネクタ周りで起こるトラブルを予防する	回路	92
9 MMICアンプのバイアス回路は電圧変動を考慮して設計する	回路	93
10 温度上昇や最大消費電力を考慮しパッケージを決めた	設計への取り組み	94
11 大電流回路は電源分割を行い個別にヒューズを入れる	設計への取り組み	96
12 発煙・発火防止を目的とした基準を作る	設計への取り組み	98
13 リニア電圧レギュレータを利用する際の放熱設計	設計への取り組み	100
14 信頼性を高める電源の使い方	設計への取り組み	102
15 異種電源が混在する場合は、電源の立ち上がり特性の違いに配慮する	設計への取り組み	107

Keyword

EEPROM，PLL，Hブリッジ，接触不良，OPアンプの消費電力，ヒューズ，発煙，発火，
リニア電圧レギュレータ，クランプ回路，MTBF，熱抵抗，アレニウスの法則



事例 1

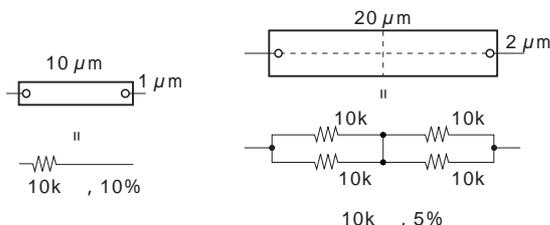
アナログICの特性のばらつきを抑える設計法

柴田 肇

IC全般を見渡すと、製造工程での欠陥やパッケージング、メタル・マイグレーション、ホット・エレクトロンによるMOSFETのスレッシュホールド電圧の経時変化など、今回の特集のテーマと直接的に結びつく事柄がいくつもあります。しかし、ICの場合、信頼性にかかわる物事の多くは製造工程に関係するものが多く、筆者の仕事である回路設計においては、ほとんどかかわることはありません。そこで、信頼性設計や冗長設計を、「信頼性の高い設計 良い設計 歩留まりの高いIC設計」と、かなり広義にとらえて、歩留まりが悪くならないようにするためにアナログIC設計でできることについてお話しします。

歩留まりは製造工程における欠陥などにも影響されますが、当然のことながら設計の良しあしにも大きく影響されます。筆者の今までの経験から言うと、アナログIC設計において歩留まりを大きく左右する主な要因は、MOSFETや抵抗、容量といった素子のばらつきです。設計段階でばらつきの影響をよく考慮していなかったために、「作ってみると動作点がずれているものが多く、温度を変えると動かなくなってしまう」というのが典型的なケースです。

やっかいな素子のばらつきですが、ディスクリート構成のように、「5%の抵抗だとばらつきが大き過ぎるから1%の抵抗に付け替えよう」というわけにはいきません。したがって、ばらつきを改善するためには、次の対策のいずれかを行います。



(a) $W = 1 \mu\text{m}$, $L = 10 \mu\text{m}$ の抵抗 (b) $W = 2 \mu\text{m}$, $L = 20 \mu\text{m}$ の抵抗

図1-1 抵抗の面積と抵抗値のばらつき

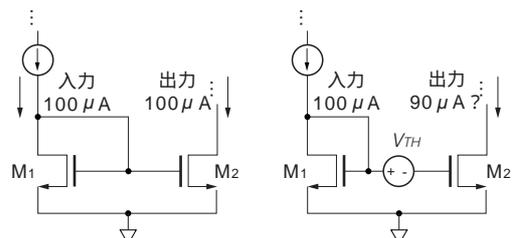
(a)のように「幅が $W = 1 \mu\text{m}$ 、長さが $L = 10 \mu\text{m}$ 」のポリ抵抗を作ると、ばらつきが10%だった。同じ抵抗を(b)に示すように「幅が $W = 2 \mu\text{m}$ 、長さが $L = 20 \mu\text{m}$ 」のポリ抵抗で作ると、4倍の面積が必要になるものの、ばらつきは1/2の5%になった。

● 改善方法1：素子の面積を大きく

多くの場合、ばらつきに対してガウス分布を仮定できるので、素子の物理的な面積を大きくすることでばらつきを小さくできます。例えば、シート抵抗が $1\text{k}\Omega/\square$ のポリ抵抗を使って、 $10\text{k}\Omega$ の抵抗を作りたいときを考えます。図1-1(a)のように「幅が $W = 1 \mu\text{m}$ 、長さが $L = 10 \mu\text{m}$ 」のポリ抵抗を作ると、ばらつきが10%であったとします。同じ抵抗を図1-1(b)に示すように「幅が $W = 2 \mu\text{m}$ 、長さが $L = 20 \mu\text{m}$ 」のポリ抵抗で作ると、4倍の面積が必要になりますが、ばらつきは1/2の5%になります。ガウス分布では面積を α 倍するとばらつきは $1/\sqrt{\alpha}$ になるので、仮にばらつきを1/10にしたい(これはよくある)のであれば、100倍もの面積が必要になります。しかし面積を増やしてしまうとICの値段が上がってしまうので(ICの値段は1枚のウェハから取れる個数に反比例する)、なるべく面積は増やしたくありません。

● 改善方法2：ばらつきを抑えるような定数設計を行う

通常は、ここに示す方法を使います。アナログIC設計で頻繁に使われる回路に、電流をコピーする図1-2(a)のカレント・ミラー回路があります。ここで M_1 と M_2 のサイズが同じだとして、入力に例えば $100 \mu\text{A}$ を流したとき、 M_1 のゲート-ソース間電圧 V_{GS} は1Vになるとします。 M_1 と M_2 のゲートは直接接続されているので、 M_1 の V_{GS} は M_2 の V_{GS} と同じ1Vになって、 M_2 は $100 \mu\text{A}$ を引き込みます。カレ



(a) カレント・ミラー回路 (b) ばらつきのあるカレント・ミラー回路

図1-2 カレント・ミラー回路におけるばらつき

単純にばらつき V_{TH} を1/10に抑えようとする、100倍の面積のMOSFETを作らなければならない。

2