

単純な記述でSDRAMを読み書きする

渡部謹二

ここで紹介するのは、SDRAM が動作することを確認するため だけの、簡単なコントローラの製作事例である.データシート をもとに、必要とする機能だけを Verilog HDL 記述でコー ディングし、シミュレーションを行い、FPGA に実装した.テ スト・ボード上の SDRAM の動作を確認するため、汎用の SDRAM コントローラ IP (Intellectual Property)を使用し たところ、データが化けてしまい上手くいかなかったことが きっかけだった.今回紹介する単純な回路を記述したところ、 特にコンパイラのオプション設定などせずに1回目の実装で あっさりと動作した. (筆者)

SDRAMコントローラとして汎用IPコアを使われている 方も多いと思います.インターフェースの改修などを伴う 開発やトラブルに見舞われたときなど,他人の書いたIPコ アをそつなく修正するのは大変難しいのですが,実は SDRAMコントローラを記述するのは意外と簡単です.

本稿では、SDRAMコントローラのほんの一部の機能を Verilog HDLで記述してみます.本稿に従って実際上設計 してみたい方は米国 Micron Technology 社のホームページ (http://www.micron.com/)からあらかじめ SDRAMの データシートとシミュレーション・モデルをダウンロード してください.シミュレーション・モデルはアカウントを あらかじめ取得して、以下のファイルをダウンロードして ください.

http://download.micron.com/downloads/models/ve rilog/sdram/sdr/256meg/mt48lc16m16a2.zip

● ハードウェア構成

 Micron Technology 社製シングル・データ・レートの SDRAM (256M ビット SDRAM「MT48LC16M16A2-6A」)

デバイスの記事

- ●48MHzクロック・ソース(2てい倍して96MHzで動か す)
- 米国 Xilinx 社製 FPGA 「Spartan-3 (XC3S2000-4FG456)」を搭載したテスト・ボード「XCM-005-2000」 (ヒューマンデータ)

を用いました.

● 開発環境

開発には ISE Foundation 8.1i(統合開発環境), Chip Scope Pro (波形観測ツール), ModelSim XE III 6.1e (シ ミュレータ)を用いました. それぞれ無償版および試用版 が提供されています.

以下の内容は sim001 フォルダ (本誌 Web ページからダ ウンロード可能) 内の sdram_seq_ctrl.v (一部はリスト1 と して掲載), tb001.v とダウンロードしたシミュレーショ ン・モデル mt48lc16m16a2.v を用いてシミュレーションで きます.

● SDRAM コントローラのインターフェースを決める

SDRAMをFPGAに接続しましょう. 誌面の都合から, ここでの解説はSDRAMのモード・レジスタの設定だけに 絞ります.

FPGAとSDRAMは図1のように接続しました。 カラム

Keyword

SDRAM, XCM-005-2000, ChipScope Pro, MT48LC16M16A2-6A, ModelSim, コーディング, コンソール・ウィンドウ





図2 モード・レジスタを設定するための状態遷移図 データ・シートの Initialize and Load Mode Register タイミング・チャートから抜粋した図に筆者が記述を付加したもの.

およびバンク・アドレスをそれぞれ入力側と出力側に分け て、ロー・アドレス・ポートは共通にしました。DCM (Digital Clock Manager; Xilinx 社製FPGA に内蔵されて いる DLL 機能を持つ非論理機能ブロック) はシミュレーショ ン時には必要ありません。

コントローラは外からのコマンドを受け付ける場合には cmd_ready をアサートし, CMD ポートから外部のコマン ドを受け取ります. このコントローラへのコマンドを SDRAMへのコマンドと区別するため「システム・コマン ド」と呼びます. SDRAMへのコマンドは単に「コマンド」 とします.

● パラメータ,コマンド,OPコードの記述

図2のタイミング図の中にも t_{RP} など時間に関するパラ メータが出てきます.表1を参照してください.これらの パラメータはparameter文で記述しました(リスト1の 99~114行目).

システム・コマンド、コマンドの記述
システム・コマンド(表2)は分かりやすくするために



図1 SDRAM とFPGAの接続