

CAE Plus社製品による システムASICプロトタイピング

1999年1月

Advanced Data Controls Corp.
株式会社アドバンスデータコントロールズ



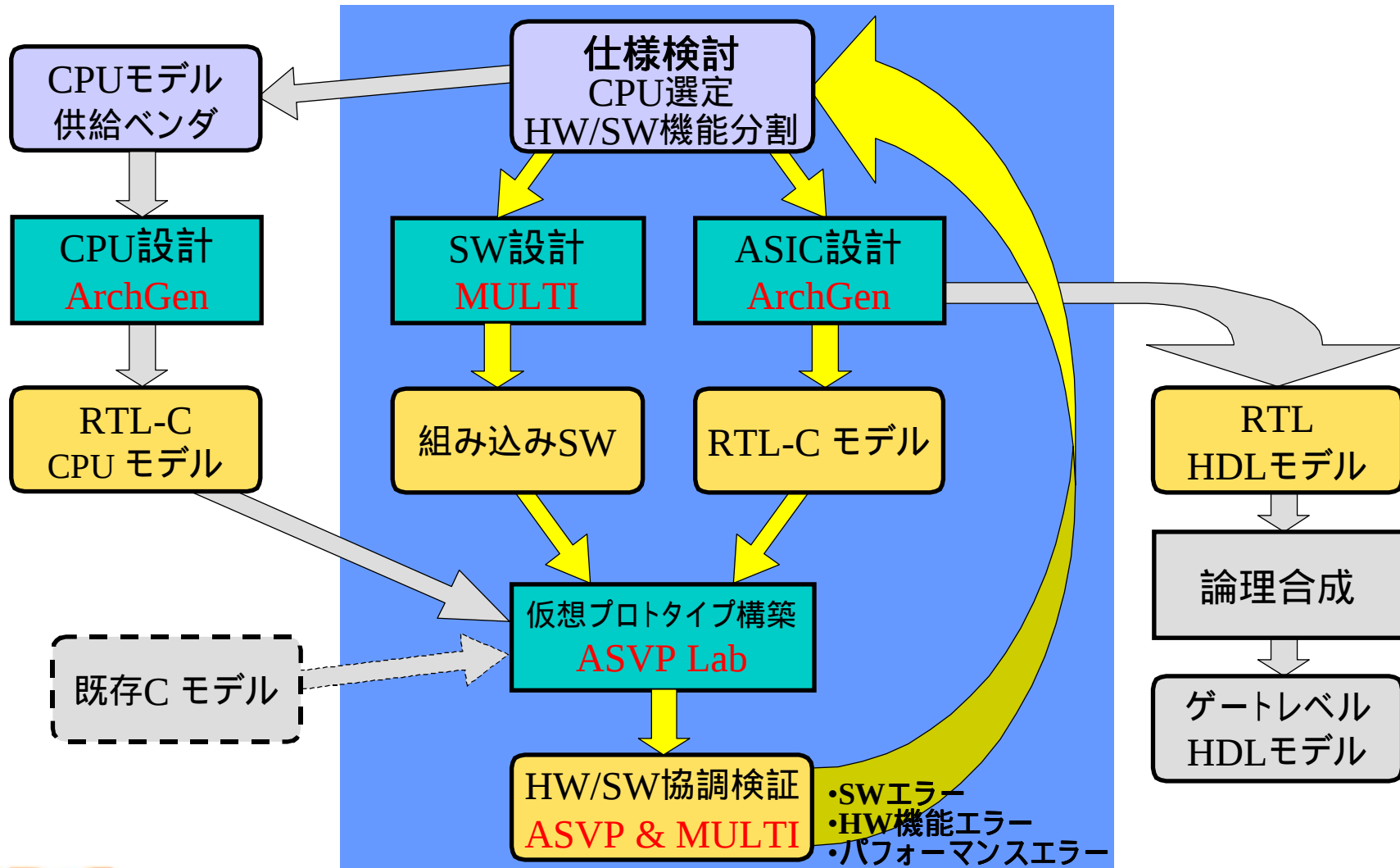
システムASIC (SoC) 開発での壁

- より早い市場投入(Time to Market)
 - シリコンにする前にソフトウェアを検証
 - 確実なHW/SW同時設計
 - コアとソフトウェアの効果的な再利用
- HW/SWパフォーマンス改善
 - チップサイズの低減
 - パーティショニング解析 → HW構成をコンパクトに
 - 低消費電力化
 - SWを実行しながらダイナミックなデータアクセス特性解析
 - スループット改善
 - FIFO、共有メモリなどリアルタイム性能解析

問題解決には RTL-C モデルによる仮想プロトタイプが最適



仮想プロトタイプ開発フロー



上位設計フロー シングルソースSoC設計フロー 既存設計フロー

Behavior

フロー図作成とアーキテクチャ最適化
ArchGen

組み込みSWとシステムパフォーマンスの改善

デバッガを使った組込ソフトの検証
MULTI

RTL

RTLモデル生成
ArchGen

VCD
タイミング
データ

C ← Verilog
コンバータ
Verilog2C

論理合成可能なRTLレベル設計
Verilog

(開発中)

RTL-C
モデル

デバッグIFとモデルのリンク
ASVP Lab

仮想
プロトタイプ
ASVP

タイミング
解析ツール
Signalscan等

論理合成用ロジック
論理合成ツール

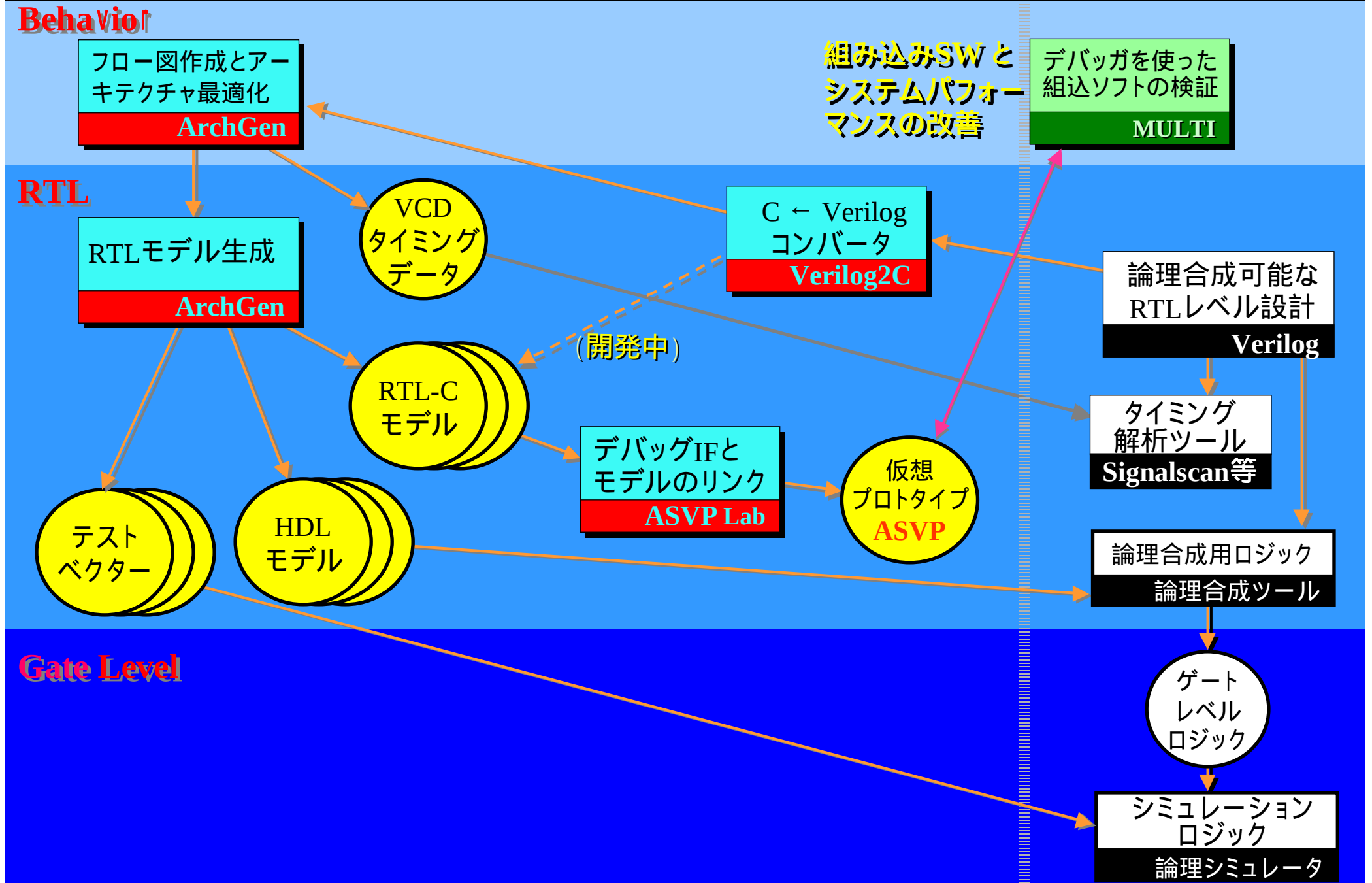
Gate Level

テスト
ベクター

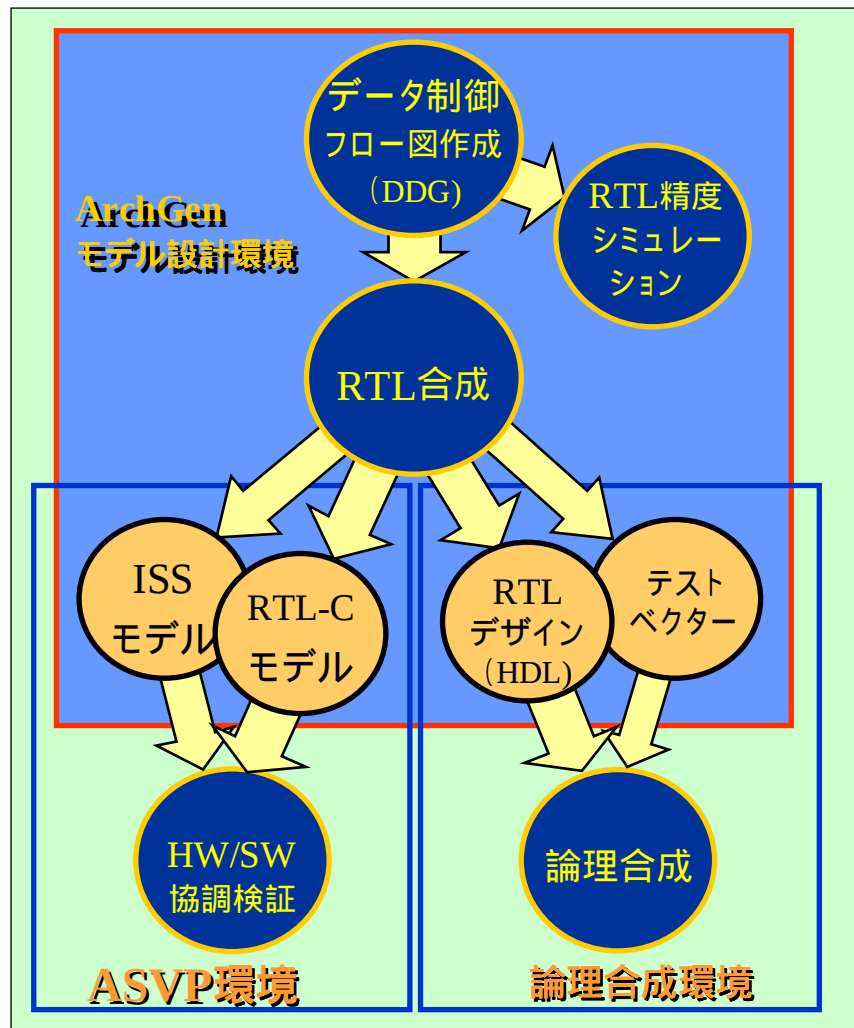
HDL
モデル

ゲート
レベル
ロジック

シミュレーション
ロジック
論理シミュレータ

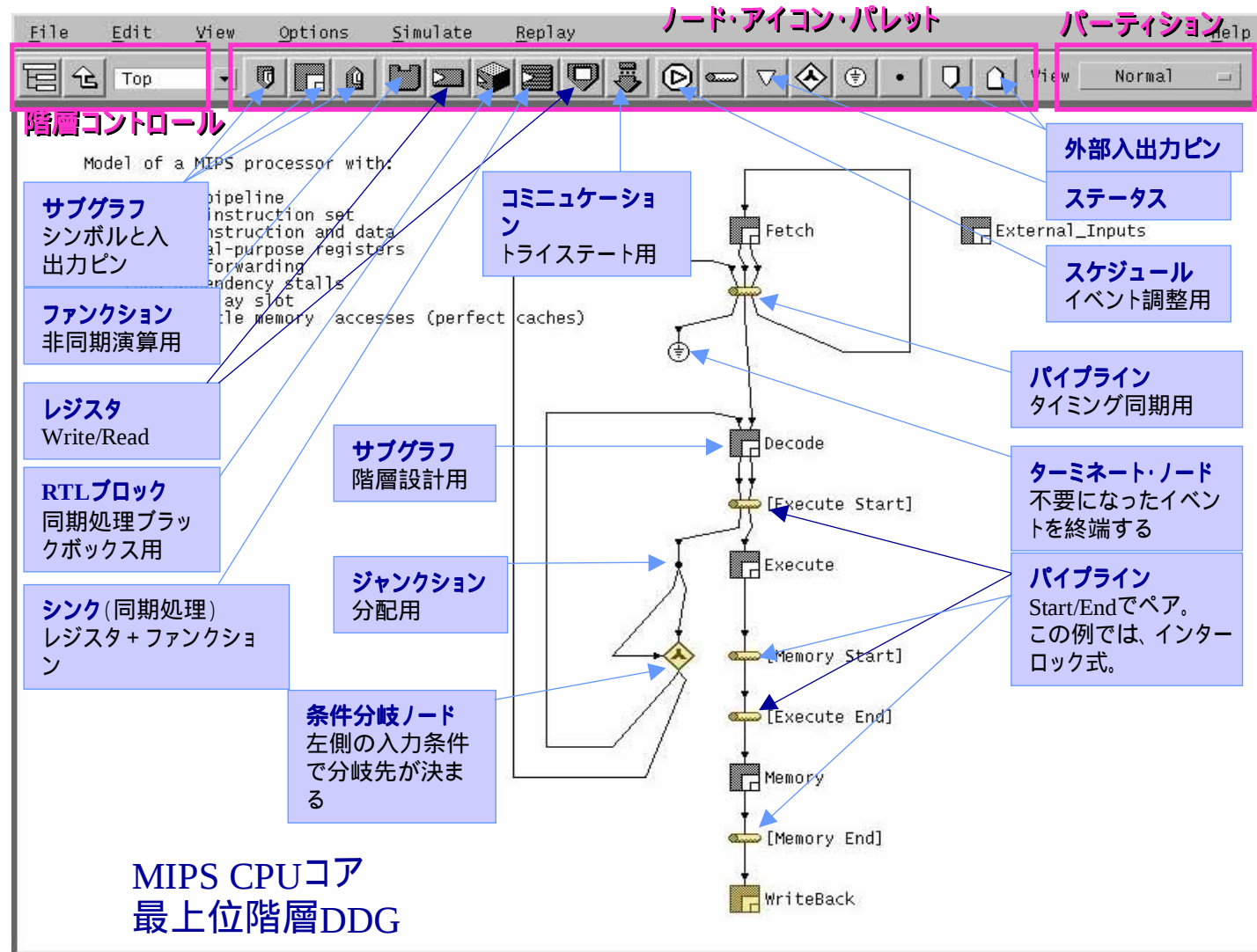


ArchGen 概要

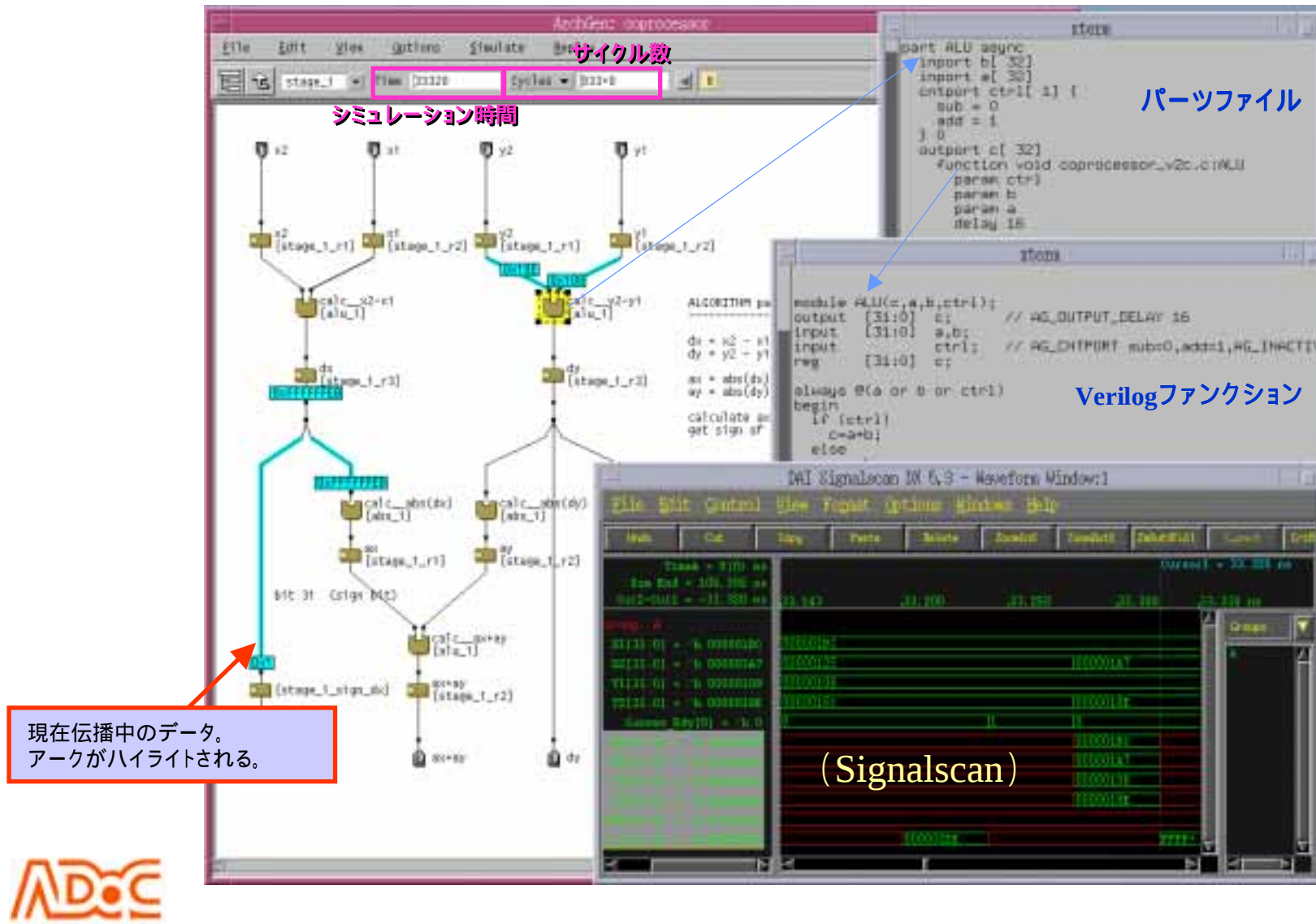


- ArchGenはHDLモデル開発ツール
 - 1994年、ビヘイビア・レベルのHDLモデル設計環境として開発
- 視覚的にデータ・フローを把握し易いデザイン・キャプチャ
- 有限ステートマシンを自動設計
 - ステート制御ロジック設計は不要
- 論理シミュレータ内臓
- RTL-Cモデル及び論理合成可能なRTLモデル (Verilog-HDL, VHDL) とテストベクタを自動生成
- Synopsys, BuildGates, AutoLogic 各々に最適なHDLコードを生成
- ISSモデル組み込み可能

ArchGen デザイン・キャプチャ



ArchGen シミュレーション

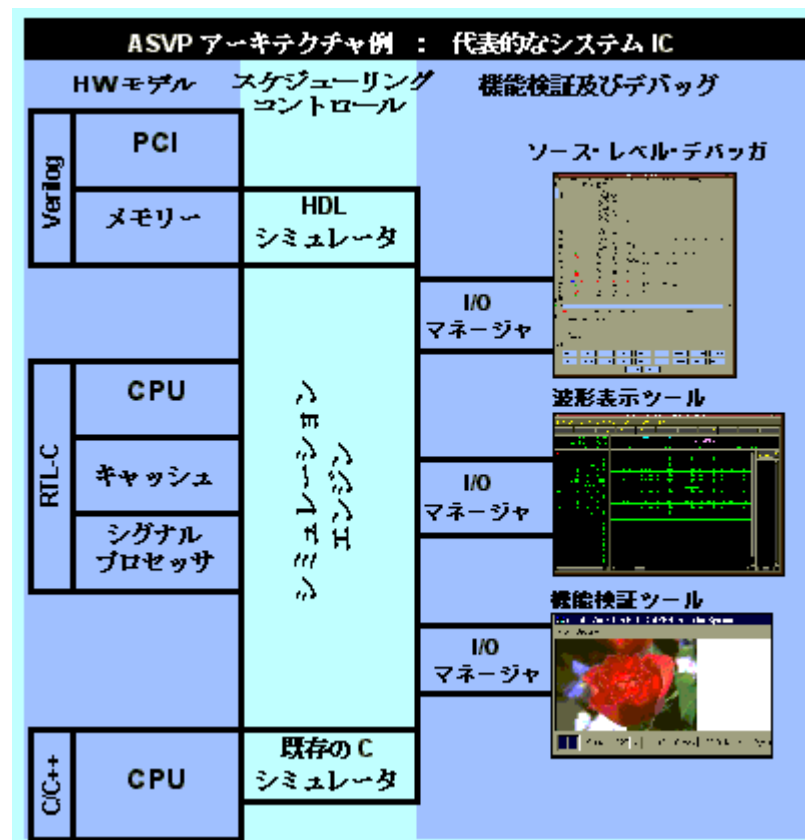


ArchGenの優位性

- RTL設計時間の短縮
 - 既存RTLデザイン(HDL)をビヘイビア・レベルに拡張
 - グラフィカルなデータ・フロー図によりドキュメント性の向上
 - 自動的にシンセサイザブルなRTLコード生成
 - HDLでのコーディングと比較して、4倍の効率で仕様をキャプチャ、設計時間を10倍以上短縮
- RTLの最適化
 - グラフにより、並行処理の検証が容易
 - 各種動作解析レポートによりボトルネック発見が容易
- CとHDLモデル双方を単一ソースで設計可
- 既存HW設計、SW設計ツールとの連携がスムーズ

ASVP Lab 仮想プロトタイプ・ビルダー

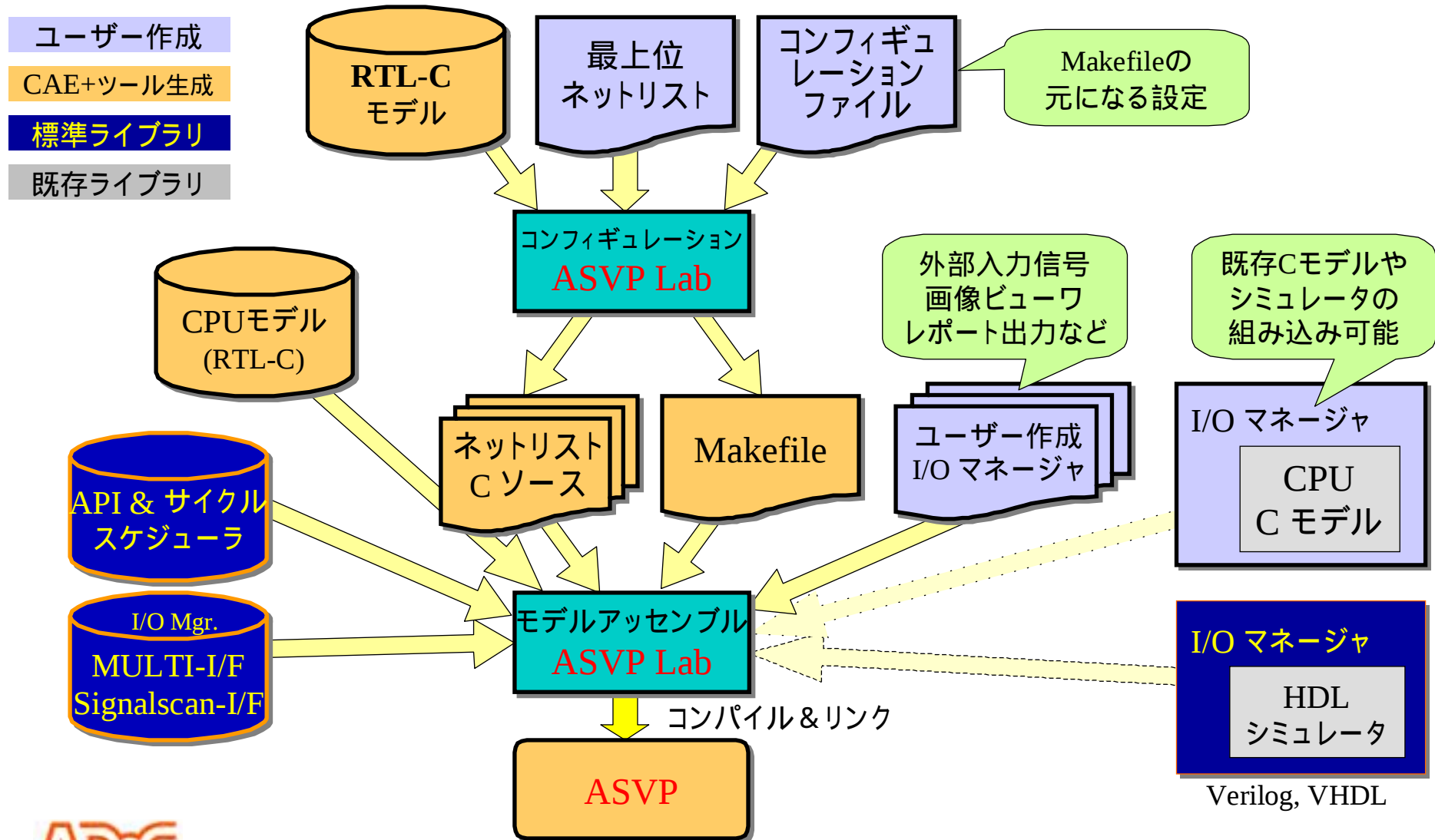
(Application-Specific Virtual Prototype)



ASVP Lab はオープン環境

- C言語ベースのツールやモデル、シミュレータなど統合可能
- Green Hills社のMultiデバッガ I/Fを標準装備
- タイミング解析用にDAI社の Signalscan I/Fを標準装備
- HDLシミュレータとのI/Fを用意
- 公開されたAPIをベースにカスタムI/Oマネージャの作成結合が容易

ASVP作成フロー



ASVPの優位性

- 早期に、ハードウェアを伴ったソフトウェア検証
 - デバイス設計前に検証
- HW/SWの信頼できる最適化
 - パフォーマンス検証
- 高精度な HW/SW協調検証
 - RTLレベルの精度で → RTL-accurate Cモデル
- 高速な HW/SW協調検証
 - HDL最速シミュレータと比較して10倍以上の速度
 - ISS と RTL-C を切り替え可能
- 既存HW設計、SW設計ツールとの連携がスムーズ

成功事例

- Motorola
 - ArchGenを使ってVHDL を生成しシリコン (CopperGlod内のFFTなどの機能ブロック) を作成 → エラーのないVHDL生成の実証
- Hughes Network Systems
 - TX3904コアの提供を受け、それに独自設計の周辺ブロックを結合しシステムICの仮想プロトタイプ作成 → HW/SWの共同開発と協調検証の実現
- NEC(US)
 - 3ヶ月未満でV851のコアモデル(クロック精度)を開発し、UltraSparc 2で80,000cpsというシミュレーション速度を実現