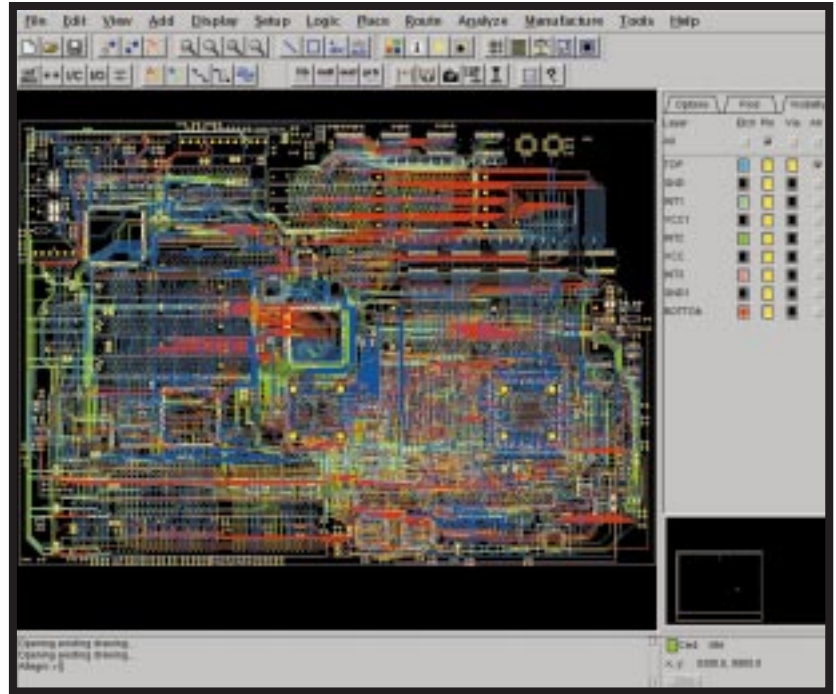


Allegro Expert

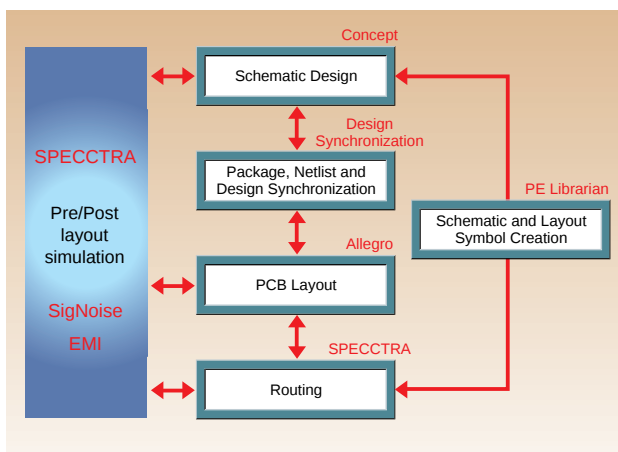
Total PCB Layout System



Allegro(アレグロ)PCBレイアウトシステムは、それまでの一般的な設計手法の“デザイン→検証”アプローチから早く“コレクト・バイ・デザイン”による設計手法アプローチを提唱し、ルールドリブン、リアルタイム・シミュレーションにより、PCB、MCM、Hybrid等のインターコネクト・テクノロジーに対する最適なツールとして設計時間の短縮、製品性能、品質、コスト削減のブラッシュアップを実現します。

Allegro環境による基本設計フロー

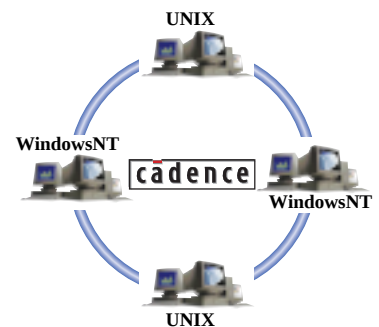
Allegroは、豊富なライブラリ作成機能を持ち、自動配置・配線ツール“SPECCTRA”や伝送線路解析ツール“SigNoise”を統合することでガーバー、ドリルデータ出力といった製造に必要な各種ポストプロセスデータの出力や、メカニカルCADデータ出力(DXFデータ等)、Valor ODB++とのデータ入出力などPCB設計に必要な幅広いデザイン環境を提供することができます。



UNIX/WindowsNT 統合環境

ケイデンスは、WindowsNT及びUNIXのマルチプラットフォームをサポートし、PCBソリューションである回路図エントリーのConceptHDL、チップモジュール設計ツールのAdvanced Packaging Designer、High-speed設計のSPECCTRAQuest、SigNoise等のAllegroプロダクトをNT及びUNIXの両環境で使用することができます。

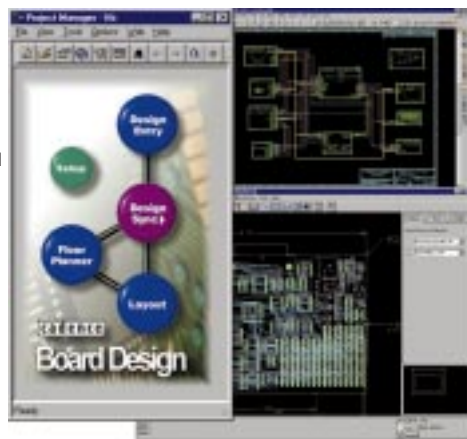
また、ケイデンスのUNIX/WindowsNTのプロダクト環境は、異なるプラットフォームで起こりえるエラー等の障害に手間を取らせることなく、全くシームレスに設計データまたはライブラリを取り扱うことができます。さらに両プラットフォームを結ぶNetwork環境があれば時間を浪費することなく、Network上の設計者に設計データやライブラリを共有させることができます。



Conceptからのネットインとプロジェクトマネージャ

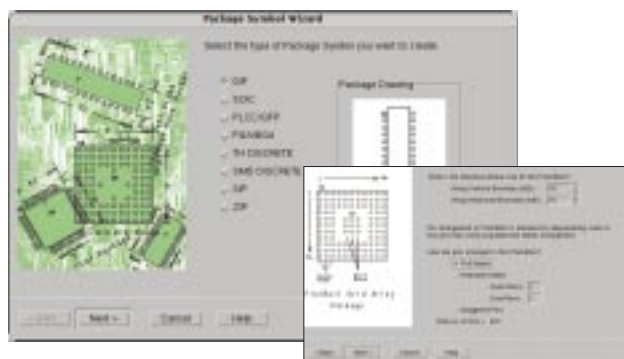
ケイデンスが提供する回路図エントリツールである ConceptHDL を使用して logical 情報を physical 情報へスムーズに移行します。また、Allegro からのバックアノテートや、回路図とレイアウトとの差分をデザインリファレンス機能を使用することにより、速やかに抽出し、デザインの同期をとることができます。このように、プロジェクトマネージャを使用して、一貫した設計環境を提供します。

- HTML based workflow definition
- Single entry point for complete design process
- Easy to learn graphical representation
- Supports integration of third party tools
- User customizable

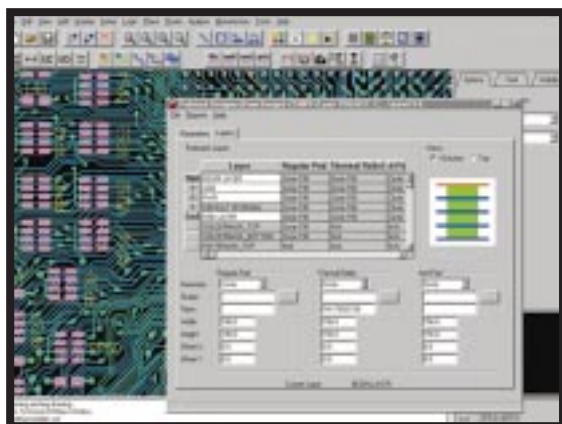


Symbol Generation WizardとPadstack Editor

シンボル・ジェネレーション・ウィザードを使用して DIP, SOIC, PLCC / QFP, PGA/BGA, TH Discrete, SMD Discrete, SIP, ZIP といった基本的なパッケージ部品を自動生成します。



PadstackEditor は、Padstack の構成を Top、Side から表示する機能やシンプルな GUI と Padstack の定義に必要な全てのパラメータを一つのフォームにまとめ、使いやすさを向上し、設計者が仕様合う Padstack 定義を容易に行えるようサポートします。



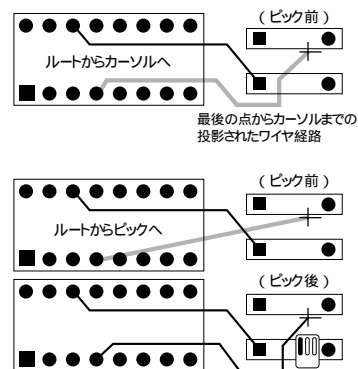
Allegroの配線編集機能

マニュアル配線時、下記のような配線タイプの選択が可能です。

To cursor: カーソルを動かすと目的ピンまでの配線経路が投影され、コーナーは自動生成されます。

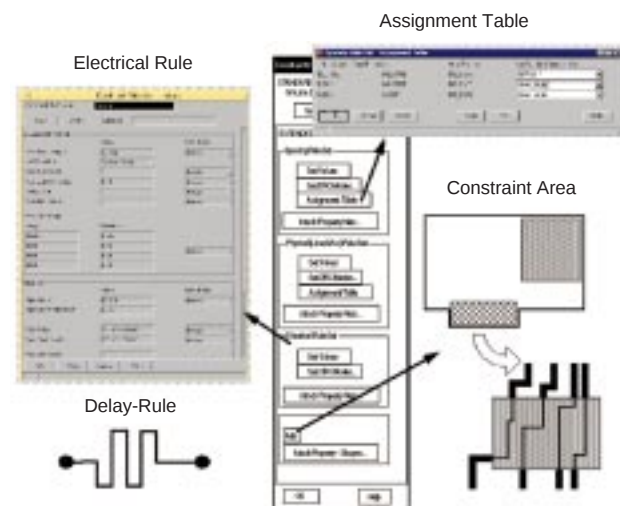
To pick: 目的ピンを選択するまで配線経路は投影されないが、ピンを選択すると配線が自動生成されます。

Manual: 通常のマニュアル配線です。目的ピンまでのラツプが表示されます。

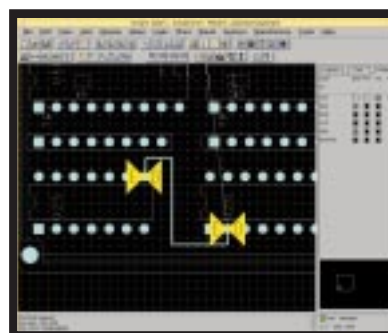


Constraint (制約条件) 設定とオンラインDRC

Allegro は、あらゆるデザイン・ルールのチェック（ピン間、ライン間、ライン幅、Delay Rule、クロストーク等）をオンラインで行います。その設定については Constraint を使用して設定するか、プロパティとして与えるかの選択が可能です。設定した Constraint は、そのルールをチェックするタイミングを DRC Model によって設定できます。



ルールに反した設計を行うとツールはエラーマークを画面に表示します。また、エラーマークのアルファベットはエラーの種類を示します。



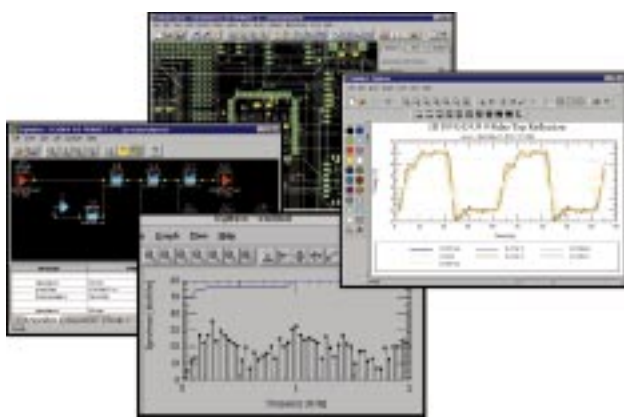
伝送線路解析ツールへのエントリ

● SigNoise

SigNoiseとの併用により、Allegroとのリアルタイムシミュレーションが可能となり、検証と同時にレイアウトへ反映させることができます。配線遅延、インピーダンスの情報を確認しながら配線設計が行えますので、レイアウト設計の段階での不具合を解消することが可能となり、短期間で高い品質の設計ができます。

● EMControl

EMIシミュレーションは周波数ドメインのディファレンシャル・モード放射ノイズ解析を提供します。この解析はポロジ検討の段階から実行することができるため、レイアウト設計前のルール作成に効果的です。



SPECCTRAプロダクトとのインテグレーション

● EditPlace

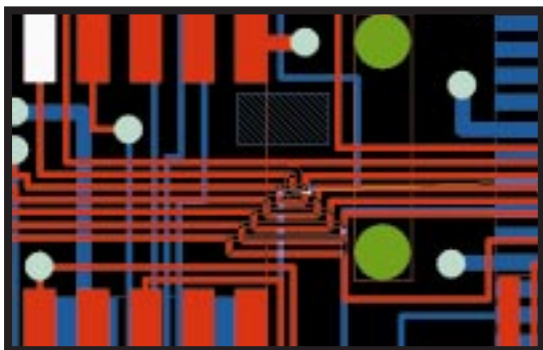
部品配置において必要な、移動、回転、整列機能、押しのけ機能を有するインタラクティブ配置ツールです。

● AutoPlace

部品の自動押しのけ、整列機能と優れた自動配置アルゴリズムによって、高密度基板の自動配置を可能にします。バイパスコンデンサなどの小形状部品の配置機能やエリア指定配置により、設計者の意図を生かした自動配置が可能です。

● EditRoute

ダイナミックに配線し、VIAの押しのけ、割り込みができるインタラクティブ配線エディタです。ShapeBaseアーキテクチャにより、完全オフグリッドでの編集が可能です。また、BUS配線機能やVIAサーチ機能などの優れた機能によって、高密度基板のマニュアル配線作業を飛躍的に向上させます。



Allegro-SPECCTRAインターフェイスでは、ほとんどのAllegro設計ルールを自動的にSPECCTRAへ移行できます。



Glossing

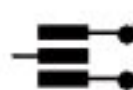
グロッシング機能は、マニファクチャリング処理に必要なラインのセンタリング、不要なVIAやラインセグメント・ラインコーナーの削除、ティアドロップの付加等を自動で実行します。

センタリング

グリッド・ライン



フィレット生成



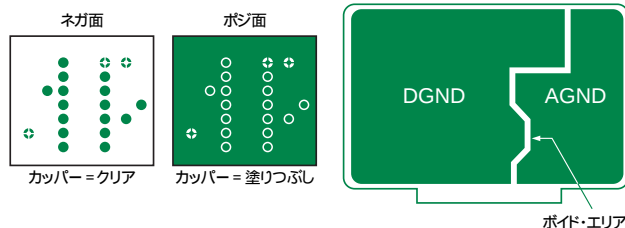
不要VIA, ラインの削除



プレーン層作成

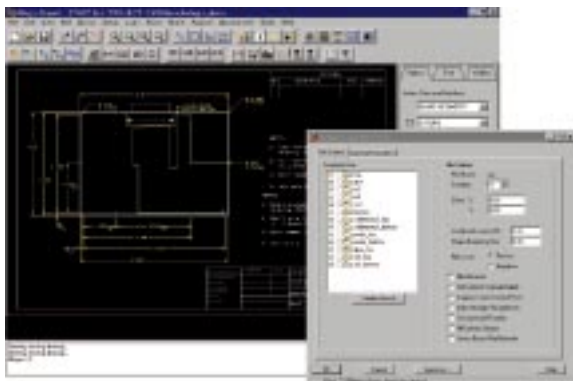
Allegroでは、設計初期段階よりポジ/ネガ設計を指定することが可能でありパワープレーン層におけるポジティブ・ネガティブシェイプの作成やシェイプの分割など、多彩な出力形態をサポートします。

プレーン層分割例

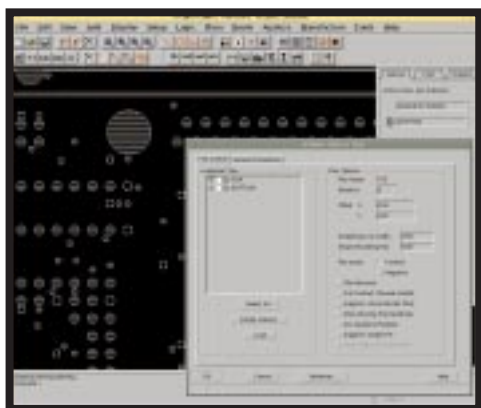


アートワークデータ入出力

Allegroは、製造、検証や図面管理に必要なGerber4x/6x, RS274X, Barco DPF, MDAフォーマットに対応しています。

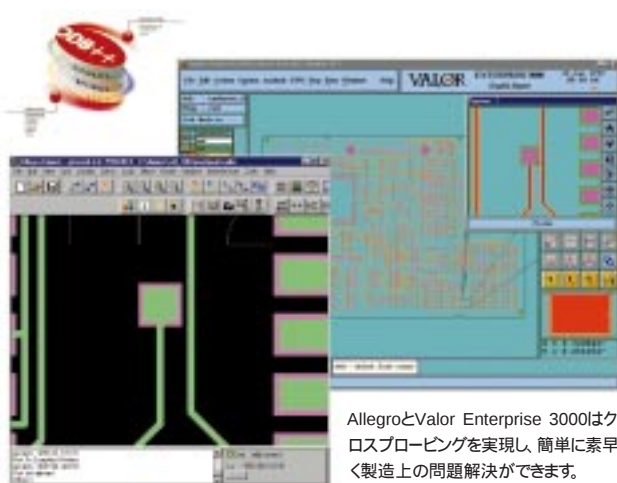


出力したガーバーデータをAllegroにリロードし、出力データの再確認が行えます。



Valor ODB++へのインターフェイス

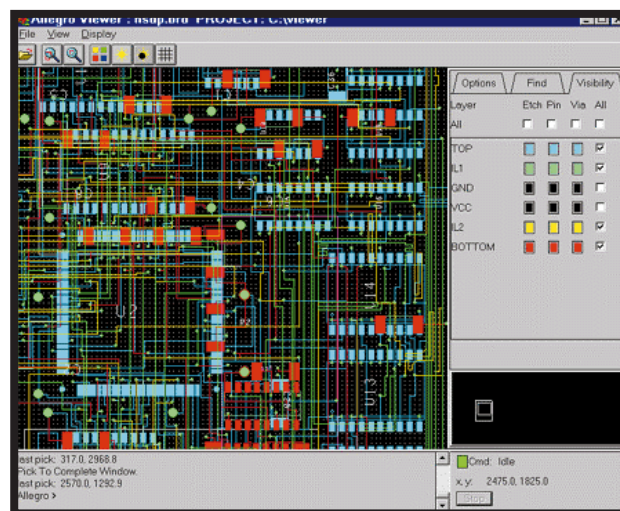
Allegroは、Valor社のODB++インターフェイスに対応し、Valor製品との強力なインテグレーション環境を提供します。



AllegroとValor Enterprise 3000はクロスプロービングを実現し、簡単に素早く製造上の問題解決ができます。

Allegro Enterprise Solution“ Allegro Viewer ”

ライセンスを必要としないINT版AllegroViewerをWeb上に公開し、エンタープライズ環境を無料で提供します。ViewerではAllegroデザインデータの確認を行うことができます。



上記Viewerのダウンロード先:

<http://www.cadence.com/technology/pcb/downloads/>

主な機能

- Concept(HDL or SCALD)からのネットイン
- SKILL, Script, Macro
- フィジカル・デザインルール
- 長さによる配線長、平行配線、ペア配線ルール
- エレクトリカル・ルール(Delay, Crosstalk)
- Measure Parasitics
- Constraint Area & Technology file
- シェープ & ボイド作成機能
- グロス機能
- 作画寸法
- ボードジオメトリ機能とライブラリ作成機能
- 標準プロッター および製造データ出力
- メカニカルCADへのデータ出力(DXF, IDF等)
- NCDrillデータ出力
- TestPrep
- 一つの設計内での複数viaサイズ対応とblind/buried via サポート
- 自動 / 対話配置
- Interactive & semi automatic etch creation and editing
- SPECCTRA EditPlace
- SPECCTRA AutoPlace
- SPECCTRA EditRoute
- SPECCTRA First Circuit Option for EditRoute

本カタログ記載の製品名等は、各社の登録商標またはそれに準じます。

販売代理店

イノテック株式会社 ケイデンス・テクノロジー事業部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6

TEL(045)474-2290 ~ 4(営) FAX(045)474-2395

大阪支社 / 〒550-0011 大阪府大阪市西区阿波座 1-4-4 野村不動産四ツ橋ビル

TEL(06)5539-0078(営) FAX(06)5539-0071

日本ケイデンス・デザイン・システムズ社

〒222-0033 神奈川県横浜市港北区新横浜 3-17-6

PCBシステムズ事業本部

TEL(045)475-6330 FAX(045)475-6331

URL <http://www.cadence.co.jp/>

