

A R E S

パーソナル型RTLアクセラレータ

実績のあるアクセラレータ・テクノロジーとユニークな
RTLコンパイラによる、RTL設計検証のための高性能、
低コスト・デスクトップ・ソリューション

新製品ARES RTLアクセラレータの特長は、工夫をこらしたアクセラレーション・テクノロジーとアイコス・システムズのソフトウェアをパッケージングしたことで、これにより最高速度の機能検証を実現します。ますます高集積化される設計において重要度が高まるRTL検証のためのソリューションとして開発されたARESは、業界最高水準のコスト・パフォーマンスを実現しているため、パーソナル型デスクトップ・アクセラレータとしてご利用いただけます。

ARESは、アイコス・システムズのRTL検証というカテゴリにおいて、VHDL設計向けRTL検証システムVoyager FFX、Verilog-HDL設計向けRTL検証システムGemini FFXに続く、革新的な高速機能検証システムとして発表されました。このARESは、そのモデリング容量と最高速のRTLシミュレーション・スピードでVoyagerおよびGemini検証環境向けRTLでのミックスド・レベル・アクセラレーションをサポートしています。

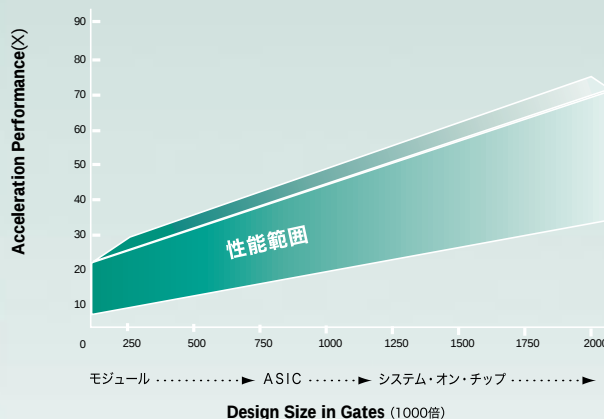
ARESは、最新ソフトウェアRTLシミュレーションと比較して、7倍から25倍のパフォーマンスを実現します。また、最新RTLコンパイラにより、1分間に5万ゲートのコンパイルを行います。そして、アクセラレーション実行までの時間が短縮され、インкреメンタル・コンパイラ機能による高速のデバッグが行われます。この革新的なコンパイラ・ソフトウェアと拡張されたハードウェア・アクセラレータ・テクノロジーとの強力な統合により、生産性が大幅に向上され、設計工程の初期段階だけでなく、もっとも重要視されている機能検証段階での設計サイクルを大幅に短縮することができます。



ARES RTLアクセラレータは、高性能、低コスト統合アクセラレーテッドRTL検証ソリューションをデスクトップ上で実現し、RTLのシミュレーション時間を週単位から時間単位へと短縮します。



- 高速コンパイルとアクセラレーテッドRTLシミュレーションによる高速検証
- ソフトウェアのみのシミュレーションと比較して7倍から25倍のパフォーマンスを実現
- Verilog-HDLまたはVHDL設計対応のソフトウェアを含む低コスト・パッケージ
- インкреメンタル・コンパイラにより迅速な設計を実現
- アクセラレーテッド・パフォーマンスとRTLのデバッグを実現
- RTL IPモデルを直接サポート
- Webベースのメモリ生成ツール



「設計の高集積化に伴い、RTLシミュレーションは、私達の設計フロー内で何よりもまず挑戦しなければならない重要な設計工程といえます。ARESにより、われわれの必要とする画期的な高速機能性能を低価格で購入でき、しかも現存の設計検証環境内に速やかに統合することができました。」

ペリー・ファラジー
ディレクタ、VLSI設計担当、Tellabs Operations 社

業界をリードするコスト・パフォーマンス

最先端のARESテクノロジーは、業界で最高のパフォーマンスを提供する低価格なRTLアクセラレーションです。効率の良いRTLコンパイラを搭載した業界最高水準のコスト・パフォーマンスを実現するARESなら、アクセラレーションを各デスクトップごとに提供することが可能です。スピードと信頼度の高さにおいて、パーソナル型アクセラレーション・システムとして、ARESに勝る検証システムは他にありません。

高性能RTLアクセラレータ

ARESシステムは、RTL設計で100万ゲートから300万ゲートまで対応可能に開発されたARESシステム・ボードを用いた、アクセラレータ・テクノロジーをベースとしています。ARESは、並列処理、パイプライン方式アーキテクチャを採用し、ワークステーションを多数使用すると匹敵する威力を発揮します。

アイコス・システムズのRTLコンパイラ・ソフトウェアをARESハードウェアに効率良く統合しているため、RTL記述を直接アクセラレータ上にダウンロードすることが可能です。また、RTLを直接アクセラレータ・プリミティブにマッピングするため、設計者は合成を実行する必要がなく、また信号名や設計階層をそのまま維持するため、より効果的なデバッグが可能となります。

ARESシステムは混在レベル・プラットフォームで、ワークステーション上で稼動するビヘイビア・テストベンチと、ハードウェア・アクセラレータ上で実行されるRTLシミュレーションを同時にサポートします。そのため、テストベンチ生成中に、他のRTLサイクル・ベース・シミュレータで発生する設計制限がありません。ARESは、すべてのメモリとともにRTLソースコードの合成可能なサブセットを加速化することで、ワークステーション上で稼動するRTLソフトウェア・シミュレータをはるかに上回る、最高1000シミュレーション・サイクル/秒のパフォーマンスを達成しています。

また、ARESの並列処理テクノロジーにより、設計サイズの増加に応じた性能向上が可能です。ゲート数100万以上の設計のベンチマークでは、最先端のRTLソフトウェア・シミュレータに比べ75倍の性能向上を実現しています。ARESを用いれば、ソフトウェアによるシミュレーションでは数週間かかるレグレッション・テストを、わずか数時間に短縮することが可能です。

高速RTLコンパイル

ARESは、最先端のアルゴリズムとデータ・ストラクチャを採用した超高速RTL合成エンジンによってサポートされているため、5万シミュレーション・ゲート/分の範囲でコンパイルを実現します。アイコス・システムズのRTLコンパイラは、現在、業界で最も代表的なソフトウェア・シミュレーション上で使用される最高速のコンパイラ・テクノロジーと同等のスピードで実行されるため、ゲートレベルの最小合成に比べ、その速度は10倍から50倍の高速度となります。

RTL合成ツールは、VHDL、Verilog-HDLの両言語に対応した高性能ビルトイン・アナライザを持ち、密に統合されているため、ARES RTLシステムのサポートをさらに最適化し、高速RTL検証を実現します。

アクセラレーションまでの時間

RTLアクセラレーション用のシミュレーション・ターゲット・ライブラリが不要なため、迅速なダウンロードと立ち上げが可能で、アクセラレーションまでの時間が短縮されます。タイミングなしでRTLシミュ

レーションを実行する場合、プリミティブの使用が驚異的に効率化され、ユーザ・ゲート2に対してプリミティブ1という比率で、等価RTLソースがハードウェア上にマッピングされます。

設計開発

ARESはインクリメンタル・コンパイル機能をサポートしていて、従来コンパイルに要した時間に比べてごく僅かな時間で高速設計を実行します。モジュール・レベルでの高速階層リ・コンパイルにより、頻繁にリ・コンパイルが必要とされる設計工程のより早い段階で、より効率的にハードウェアを使用することができます。

メモリ・アクセラレーション

ARESのもうひとつの特長として、Rambus汎用高性能メモリやARMコアのような、メモリ・モデリングと検証IPモデルの統合のためのオンボード・メモリを備えているということがあげられます。これは、高集積SoC設計の検証を容易にします。さらに、アイコス・システムズの提供するwebベースの機能メモリ生成ツールにより、高速メモリ生成が可能です。

仕 様

	基本システム	アップグレード・システム
プロセッサ	7	15
プリミティブ容量	1.6M	3.6M
メモリ (LMM)	64 MB	64 MB
メモリ (SMM)	4 Mbits	8 Mbits
サイズ (h, w, d inches)	16x5x20	16x5x20
(h, w, d mm)	406x127x508	406x127x508
電力	500W, 100-240 VAC, 1Ø	500W, 100-240 VAC, 1Ø
冷却方法	強制空冷	強制空冷



アイコス・システムズ株式会社
〒213-0012
神奈川県川崎市高津区坂戸 3-2-1
KSP R&D ビジネスパークビル A208

電話: 044-850-1230
FAX: 044-850-1250
URL: <http://www.ikos.com/jp>



© 1999 米国アイコス・システムズ社 PI-28 12/99

IKOS Systems, Gemini, Voyager および ARES は、アイコス・システムズの商標です。その他のブランド名、製品名は、各社の商標または登録商標です。