



# BooleDozer(ブ - ルド - ザ - )

Integrated Behavioral, RTL, Gate Synthesis for SOC design

## ブ - ルド - ザ - の主な特徴

### 先端デバイス設計における数々の実績

S.O.Cの時代において、BooleDozerは、数百万ゲートに及び大規模・高機能・高速ディープ・サブミクロン・デバイス設計の為に論理合成に要求されるすべての機能を統合し、強力なタイミング・ドリブン合成機能のみならず、ハイレベルな動作合成能力、検証の容易性、テストスタビリティの容易性確保などの為のあらゆる卓越した機能を装備しています。

設計者が目標とするチップ・パフォーマンスのために与えられる多次的な合成制約に対していかに合成プロセスが迅速に収束するかが、合成ツールに求められる基本的な能力であると考えています。この多次的設計制約の中の最も重要な制約条件の一つとして、タイミング、パワー、エリア制約合成機能があります。物理設計結果として生ずるであろう配置配線遅延を予測し合成制約として、合成プロセスに取り込む機能は、SOC回路設計では必須です。

BooleDozerは階層的デザイン・プランナ及びスタック・タイミング・アナライザであるinsTimerと緊密に統合されており、その遅延カリキュレーションであるDCL (Delay Calculation Language)による高精度な遅延モデルによってLumped RC,分布RC及び固有遅延などの遅延情報を精査に取り込むことが可能です。その結果、合成と物理設計のイタレーションを格段に削減しています。又テスト合成と解析ツールであるTestBench諸機能との緊密な統合により、非常にテストスタビリティの高い設計を実現しており、早期の設計成功を約束いたします。

BooleDozerには、すでにIBM社内において多くの大規模デバイス開発を短期間に成功に導いた実績があります。

- 6xx PowerPC Microprocessors
- RS6000 Workstations
- AS/400 Minicomputers
- PC Chips
- Mainframe Computers

次世代SOC開発設計のための合成ツールのスタンダード、それがIBM BooleDozer シンセシスソリューションです。

- ▶ HDL (VHDL, Verilog) ベースのビヘイビア、ロジック・シンセシス統合ツール
- ▶ SOC設計に対応可能な広範囲なモデリング・大規模回路合成能力
  - ビヘイビア・レベル、コンカレント・レベルからストラクチャ・レベルまでの先進的なモデリングおよび合成機能をサポート
- ▶ **BoolesEye** (プリアン等価性検証ツール), **EinsTimer** (スタティック・タイミング・アナライザ), **TexSim** (高速サイクルベース・シュミレーション)との完全統合
- ▶ 強力な制約ドリブン・スケジューリング
  - ビヘイビア記述のスケジューリングだけではなくRTLデザインメモリ・スケジューリング
- ▶ 真のインクリメンタル・シンセシス機能
  - 小さな機能変更に対してそれ以前の設計を維持します。
- ▶ 強力なタイミング・最適化機能
  - 階層間にまたがるタイミングの合わせ込み機能
  - スラック・アポーションメント
  - ハイアラキカル・タイミング・コレクション
- ▶ 階層デザインプランナとの緊密な統合
  - RTLフロアプランナ、配置配線ツール
  - 論理合成以前でのエリア・タイミング計算
- ▶ 強力な分析能力
  - デザインとオリジナルのHDLの相互関係について詳細な情報をユーザに提供
  - クリティカル・パス表示/分析・最適化
  - スラックの識別評価
- ▶ **TestBench: DFT** (Design For Testability) シンセシス機能
  - テスタビリティ・アナライシス機能との緊密な統合
- ▶ ターゲット・テクノロジーにカスタマイズしたインプリメンテーションに対応
- ▶ **OLA** ライブラリ・インタフェースにより広汎なテクノロジーをサポート
- ▶ 高信頼性
  - IBM社内の設計のみならず多くのASIC設計ユーザに10年以上使用実績のある合成ツールの最新版
- ▶ 業界標準WSをサポート

Information Technology Solutions Co., Ltd.

An IBM Japan Subsidiary

インフォメーション・テクノロジー・ソリューション株式会社

電話 03-3808-9006 FAX 03-3664-4889



販売代理店 伯東株式会社 情報システムグループ 電話:03-3225-8916 FAX:03-3225-9019

### ハイレベル・シンセシスの必要性

- ▶ 設計期間を短縮する為、より高位合成モデルでの設計が必須
- レジスタ・トランスファー・レベルHDLのシンセシスによる設計増大
- 動作レベルで実用的な合成ツールが必要。
- ▶ 動作レベルの設計で、回路図レベルの自由度が拡大
- ▶ ゲートレベルで困難な最適化が、動作レベル設計で実現
- ▶ フロア・プランニングとの統合

### ハイレベル・シンセシス機能

- ▶ クロック・サイクルのスケジューリングに対応
- ▶ クロックサイクルを跨るリソースの配分とその共有
- ▶ ステートマシンの作成とドント・ケア回路の最適化
- ▶ RTLレベルを出力し、ロジック・シンセシスへ渡す
- ▶ VHDLとVerilog HDLの両方をサポート

### ロジック・シンセシス・テクノロジーに依存しない オプチマイゼ-ション機能

- ▶ コンスタント・プロパゲ-ション、冗長論理の排除
- ▶ グローバル・フロ-解析
- ▶ トランスダクション
- ▶ キューブ・ファクタリング、カ-ネル・ファクタリング
- ▶ 算術ブロックに対する特別なオプチマイゼ-ション
- ▶ 遅延オプチマイゼ-ションに対する特別なトランスフォ-メ-ション
- ▶ PLAミニマイゼ-ション
- 広範囲なオプチマイゼ-ション・アルゴリズムを採用
- レベルに合わせたフレキシブルなユ-ザ-コントロール

#### オプチマイゼ-ション・レベル 使用可能な機能

Dead	Constant Propagation Redundancy Removal
Flow	Global Flow Analysis
Flatten	Flattening, Cube Factoring
Crush	Kernel Factoring
Destruct	Intensive Kernel Factoring

### ロジック・シンセシス

#### 真のインクリメンタル・シンセシス

- ▶ 既に合成された設計に対して、変更の為に繰り返し合成が可能
- ▶ 部分的な再論理合成; 変更を要しない他の合成済みゲ-トはそのまま使い、変更を加えた部分のみを再合成
- ▶ 変更前と変更後の合成結果の機能比較検証 (BoolesEyeによるブ-リアン等価性検証)

### テクノロジー・マッピング

- ▶ フレキシブルなユ-ザ-コントロール; VHDL記述から直接マッピングをコントロール
- ▶ エリア/遅延ドリブン・マッピング
- ▶ パタ-ンベ-ス・マッピング、機能ベ-ス・マッピング
- ▶ ツリ-カバリング・アルゴリズム
- ▶ 複合セル(XORs, ADDERS, DECODERS, Special REGISTERS)発見の為に特別なテクニックを採用
- ▶ マッピング後の諸機能;  
マルチビット・レジスタ、インバ-タ-ミニマイゼ-ション、デュアル・レイル、ワイア-ド・OR、ワイア-ド・AND

### ロジック・シンセシス・タイミング補正

- ▶ ロング・パス縮小の為に自学自習的拡張機能
- ▶ リ・パワリング; 選択されたセルに対するパワ-レベルの変更
- ▶ ピン・スワッピング; 異なった遅延を持つピンのセル内スワップ
- ▶ アンマップ、ファクタ-、拡張複合ゲ-ト、リマップ
- ▶ ドублиケ-ト・ロジック: ファンイン・ファンアウトの設計変更
- ▶ サイクル・スチ-リング: 前のあるいは後続するステ-ジの中のスラックを使い、正確に最大クロックレ-トを予測するレベル・センシティブ・ラッチのマルチプル・ステ-ジをまたがるタイミング解析技術
- ▶ リ・タイミング: FFをまたがって論理を動かし遅延をバランスさせ、クロックレ-トを改善
- ▶ インクリメンタル・タイマ-(EinsTimer): ネットワーク変更後に、タイミングを繰り返し再計算が可能