

## BoolesEye(ブールズ・アイ)

### Formal Verification(Boolean Equivalency Check)

#### IBM EDA機能検証サインオフツール

SOC 論理検証ソリューション  
ブリアン等価性検証 統合環境

挿入やセルドライブ能力の変更、バッファ/クロック・ツリー挿入などで生じる一部回路の変更等での、機能検証作業は設計者にとって非常に大きな負担となります。

従来のシュミレーション手法では、検証のためのシュミレーションに莫大な時間を要し、大規模回路機能にとっては現実的ではありません。又、作成したパターンは、その検証カバレッジに限界があり、シュミレーションによる検証の確信は絶対的ではありません。

IBMでは、ASIC設計サインオフの中で、この問題のために早くからブリアン等価性検証を開発・導入・運用してまいりました。

設計工程の中のどのステップで、この検証が必要かつ有効であるのか、機能検証サインオフの為にいかなる環境が要求され、その最も操作性の高いGUIプロセスとは何かを考え、その成果としてASIC設計者に対して提供されたのがBoolesEyeです。

BoolesEyeは、高品位な制約ドリブン論理合成、テスト回路合成、パワ解析、タイミングドリブン物理設計環境など、現在必須とされている先進設計手法のすべてに直結し、RTL、ゲート・レベルでの論理機能検証を高精度・高速に実行し、設計検証の絶対の確信を設計者にもたらしめます。

BoolesEyeは1993年以来、PowerPCのような多くの最先端の設計で使用され、その有効性が実証された、非常に信頼性の高いツールです。

#### BoolesEyeの主な特徴

- ▶ RTL、ゲート・レベル、トランジスタ・レベルの設計表現を同時にサポートする最初の製品
- ▶ 各設計レベルでシムレスにアクセス可能な統合環境
- ▶ 先端のプロセッサ - 設計に用いられたフォーマルベリフィケーションの長年の実績の上に構築
- ▶ システム全体、大規模ASIC、FPGA個々のICモジュールなどをシュミレーションでは不可能な信頼性と、パフォーマンスレベルで機能的に検証
- ▶ RTL、ゲート、トランジスタ・レベルの部分的ミックスドベリフィケーションに対応
- ▶ 入力された可能な全てのパターンを、暗黙裏に動作させる効果的なロジック比較テクニックを採用  
- 比較の上、一致しない場合は矛盾の原因を正確に指摘
- ▶ 増大するシュミレーション・ボトルネックを軽減 RTLで同一の回路検証  
- チェックするポイントはPIからFF、FFからFF、FFからPO、
- ▶ 入力フォーマットEDIF、VIM (インターナルフォーマット、VHDL、Verilog)
- ▶ 業界最高の比類なきユザ・フレンドリなGUI
- ▶ 業界標準WSをサポート

Information Technology Solutions Co., Ltd.

An IBM Japan Subsidiary

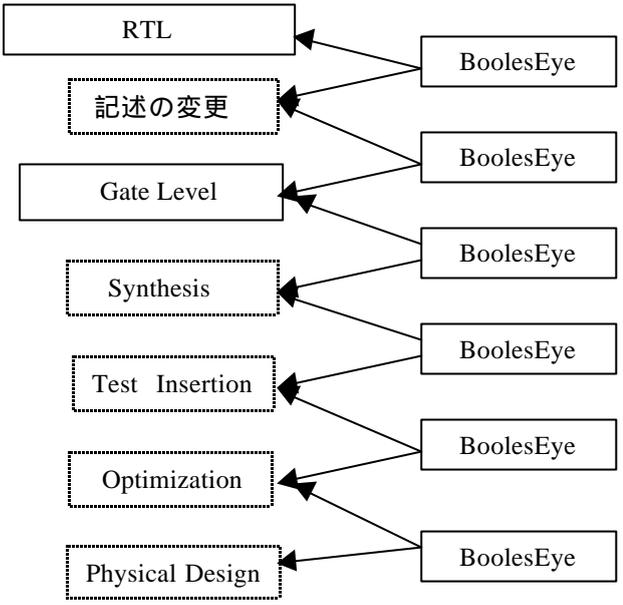
インフォメーション・テクノロジ・ソリューション株式会社

電話 03-3808-9006 FAX 03-3664-4889



販売代理店 伯東株式会社 情報システムグループ 電話:03-3225-8916 FAX:03-3225-9019

ブ - リアン等価性検証メソドロジ -



シミュレーションによるテストの困難性			
デザイン	完璧なシミュレーション時間	検証カバレッジ	
		現実のシミュレーション	フォーマルベリフィケーション
56-入力 ステート無し	1年	10%	100%
88-入力 ステート無し	無限	~0%	100%
Power PC	??	~0%	100%