



# ChipBench(チップベンチ)

Integrated Floor Plan/Place/Route/Hierarchical Design Planner

## ChipBenchの主な特徴

### 全階層的タイミング・ドリブン

### SOC 物理設計ソリューション

0.18 μテクノロジー、1000万ゲートにおよぶ複合機能大規模LSIにおける物理設計はいかにあるべきでしょうか。この問題は、現在の問題のみならず、確実に訪れるであろう数千万ゲート規模のLS設計への回答の準備でもあります。動作クロックは、この規模の拡大とともに600MHzから1GHzにまで加速されます。その結果として、支配的になってきた配線容量遅延はさらに増加し、仮配線長と実配線間の誤差は拡大し続け、タイミング収束のためのイタレーションが増加し、最悪の場合には無限ループとなり、チップ全体の再設計を余儀なくされます。

IBMはこの問題を設計生産性の危機 (Design Productivity Crisis) として考えてきました。この問題の一つの解は、設計初期段階に物理設計(配置配線)によって起こりうる遅延をより高精度に予測し、その結果を論理合成及び配置配線に対して一貫した制約として与えることにあります。このため、論理合成に先だって、物理設計と直結したタイミング・プラン、ア・リ・フロア・プラン、パワ・プラン及び配置配線プランが必要とされます。同時にこれらのプランニングを実現するためには、各ツールのシムレスな全階層的結合のみならず、各ツールをタイミング的にコントロールするための共通な遅延計算モデルと、高速かつ高精度なタイミング・アナライザをも必要とします。このように、従来手法のような単なるツールのパッチワークではなく、各ツールが持つ様々なデータの全階層的統合が必要とされます。

IBMのChipBenchはこれらのすべての機能を内包する業界最初のツールです。Hierarchical Design Planner機能を通し、スタチック・タイミング・アナライザであるEinsTimerをすべてのツールに対してシムレスに直結させDCL (Delay Calculation Language)により高精度な遅延計算を行いながら、RTLから詳細物理設計にいたる全過程において、高精度なタイミング・ドリブン物理設計を可能にしました。ChipBenchは既に100個以上の100万ゲートをこえるSOCの物理設計を短期間に成功へ導いています。

IBMの先進的物理設計メソッドロジ・ソリューションはSOC物理設計の現在の常識を変えます。

- ▶ 大規模SOC対応\*
- ▶ 6層以上の自動配線に対応
- ▶ マルチプルな設計スタイルに対応
  - ASIC・CUSTOMテクノロジー物理設計に対応
  - Nレベル階層に対応
- ▶ 強力なタイミング・ドリブン性能能力
- ▶ スタチック・タイミング・アナライザ (EinsTimer) との統合による精細なタイミング解析
- ▶ ア・リ・フロア・プランに対応
- ▶ 階層的設計環境
  - コンカレント・プロセッシング/デザイン
  - 大規模なフラット構成に対応
- ▶ 統合的多機能 All-in-Oneシステム Hierarchical Design Planner 機能
  - 高機能階層的デザイン・プランナ - ChipPlace
  - 高機能配置ツール - ChipWire
  - 高機能配線ツール - ChipOptimization
  - 高機能オプチマイゼーションツール - ChipEdit
  - 高機能編集ツール
- ▶ BooleDozer, EinsTimer, BoolesEye との完全なシムレス統合環境
- ▶ LAN上での分散処理、パラレル・プロセッシングに対応
- ▶ 巨大なデータを高速処理
- ▶ 一般的な商業設計ツールの容易なインプリメンテーション
- ▶ OLA/APIライブラリにより広汎なテクノロジーをサポート
- ▶ 標準的な入出力インタフェース: GDSII, EDIF, SDF
- ▶ 代表的設計実績  
PowerPC 266MHz、他10000種以上

Information Technology Solutions Co., Ltd.

An IBM Japan Subsidiary

インフォメーション・テクノロジー・ソリューション株式会社

電話 03-3808-9006 FAX 03-3664-4889



販売代理店 伯東株式会社 情報システムグループ 電話:03-3225-8916 FAX:03-3225-9019

## Hierarchical Design Planner 機能

- ▶ 制約ドリブン・パーティショニング
  - ストラクチャル・パーティショニング
  - パーティショニング・フロア・プランニングの同時実行
  - コスト・クライテリア; グローバル・ネット、配線長、タイミング
- ▶ シミュレテッド・アニリング・ベスト・フロア・プランニング
  - タイミングとの緊密な統合
  - コスト・クライテリア; 密集度、クリティカル・パス・タイミング、配線長、容量リジョン・balancing
  - グループ、スタック
- ▶ 対話型・繰り返し解析機能
  - 制約、移動、グループ、スタック、リ・シェーピング
  - ドライバ・オブチマイゼーションによるタイミング・クロージャ
  - 配置可能性、配線可能性、タイミング解析
  - マップ、レポート、ヒストグラム
- ▶ 先進的な配線プランニング
  - レアウト・ブロック及びユザ規定の制約を考慮したグローバル・ラウティング
  - パワ・ラウティング及びプランニング
  - クロック・ネットにおけるスキュー・コントロールの為にネット・balancing

## ChipOptimization

- ▶ クロック・オブチマイゼーション
  - ユザによるネット等価規定
  - 配置時の配線無視機能
  - クロック・ドライバごとの最適シンク決定
  - クロック・ドライバの最適配置
  - クロック・スキュー/ラテンシの改善
- ▶ スキャン・オブチマイゼーション
  - ユザによるチェーン・ブレイク/ラッチ・コネクション選択
  - 配置時の配線無視機能
  - LSSDにおける配線長の最少化
  - 配置後のスキャン・パス・リチェーン

## ChipPlace

- ▶  $m \times n$
- ▶ タゲット・ドリブン・タイミング(容量・抵抗)
  - ▶ 500,000ゲート以上の回路規模に対応 (125,000 + 移動オブジェクト)
  - ▶ ネット及びピンの無視配置機能
  - ▶ エンジニアリング変更機能
  - ▶ レクチリニア・フロア・プラン
  - ▶ クォードラティック・プログラミング・アルゴリズム
    - 高速、フルチップ対応
    - 180,000移動オブジェクトに対応
- ▶ シミュレテッド・アニリング・アルゴリズム
  - フルチップ対応、豊富な制約セット

## ChipWire

- ▶ グローバル・プランナ
- ▶ ネット・balancing
- ▶ 高度な詳細配線
- ▶ リップ・アップ及び再配線
- ▶ クリーンアップ・ラウタ
- ▶ 最大 5 ワイヤリング・プレーンに対応

## ChipEdit

- ▶ 対話的配置・配線機能
- ▶ 検証・修正・削除機能
  - オバラップ、正規配置、オリエンテーション
  - ショット、オープン、アンテナ、ループ、ソフピン
  - エレクトロマイグレーション・エラー検証

## Power Line Design

- ▶ 入力
  - セルのレイアウト及び物理表示からの PSTps、電源配線
  - PDLから PSTpsの為にパターン
- ▶ 出力
  - VIMにおける PSTps及び電源配線のセル・レイアウト表示へ出力
  - 電源形状を VIMの物理表示に出力
- ▶ 制約条件
  - レル、リング、周波数、セパレーション、長さ及び幅
- ▶ 表示
  - 選択された電源配線
  - すべてのレイアウト形状をとまなう全電源ライン配線