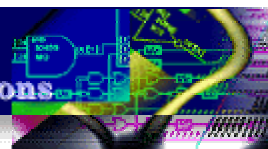




IBM EDA
Electronic Design Automation Solutions

© 1997 IBM Corporation



EinsTimer(アインス・タイマー)

High-speed & High-performance Static Timing Analyzer

System On Chip 設計フローの構築において、各設計ステージのタイミング検証手法が問われています。とりわけ、回路の大規模化に対して従来の標準的検証手法であったダイナミック・シミュレーションの能力的限界が指摘されています。

動作クロックの高速化によって、設計時のタイミング・マージンが余裕度を失い、同時に大規模化による高密度化配線領域での容量遅延が起こすタイミング・エラーは深刻です。論理合成・物理設計間でのタイミング最適化のための繰り返し作業増加は、設計工程の長期化をもたらすだけでなく、タイミング・クロジャークが収束しない場合も発生します。IBMでは、このタイミング問題への対処手法としてスタティック・タイミング解析による、設計サイン・オフを実施して参りました。その手法は、遅延パラメータをDCL(Delay Calculation Language)によって精細にモデル化し、階層デザイン・プランナ(Hierarchical Design Planner)を介して、EinsTimerによりデザイン・プラン、論理合成、フロアプラン、詳細配置配線にわたり、論理レベルから物理レベルまで共通遅延及びパワー計算・検証を行うことによって、従来のパッチワーク的タイミング検証の問題をクリアしています。その結果、100万ゲートを超える大規模デバイス設計におけるタイミング解析及び問題解決に強力かつ高速に対応することができます。

EinsTimerによるスタティック・タイミング解析手法は、その精度のみならず他に比較し得ない高速性において、IBM社内設計者だけでなく、ASIC ユーザーの皆様にも広く受け入れられており、現在まで10,000件以上のASIC設計に適用されています。ツールの開発者自らが最大のユーザーである事のアドバンテージによって構築されたタイミング検証メソッドロジーは、今後の大規模・高速デバイス設計における、検証方法のスタンダードとなると考えます。

EinsTimerは2Mega gate, 600MHzのSOCタイミング解析、サインオフを余裕をもって実行します。

EinsTimerは最先端SOCデバイスの為のタイミングドリブン設計に、確実かつ迅速な成功をもたらします。

EinsTimerの主な特徴 - 1



- ▶ EinsTimerは豊富な機能を持つゲートレベルのスタティック・タイミング・ツールです
- ▶ 比類なき高速タイミング解析 検証能力
- ▶ 合成・物理設計ツール(デザイン・プランナー、アーリー・フロア・プランナー、配置 配線ツール)に対する共通のタイミング解析ツール
- ▶ 全てのパスのタイミング問題を検証
- ▶ 入力テスト・ベクターが不要
- ▶ 全てのロジック・パスを検証
 - ロングパス(最も遅い到達時間を採用する解析)
 - ショート・パス(最も早い到達時間を採用する解析)
- ▶ インクリメンタル・ディレイ・タイミングのアルゴリズムによる高速解析
 - 修正箇所のみ計算し直す
- ▶ 回路中のループをチェックしレポート
- ▶ 双方向ネットタイミング解析
- ▶ 多相クロック、非同期クロックをサポート
 - Dynamic Timing Adjustment アルゴリズムにより正確な検証が可能
 - 複雑な位相関係を持つクロックに対してDTAが正確な検証を行うための補正を付加
- ▶ Delay Calculation Language(DCL)による、業界最先端の共通遅延計算
- ▶ ロジック・ブラウザ(Wizard)との統合化
 - クリティカル・パス、ロジック・パスのハイライト
- ▶ 多階層モデルのサポート
 - 多階層にわたる回路を効率的に解析するで、大規模LSI検証に有利
- ▶ トランスペア・ラッチ(Dラッチ)を含む回路の解析にスラック・スティーリング(ラッチの前後で伝播遅延を融通しあう機能で、タイミング的に余裕のあるパスから、遅延時間の余裕のないパスへ割り振りを指定する機能)の正確な解析
- ▶ 線形加算遅延解析
 - ワースト・ケース、ノーマル・ケース、ベスト・ケースのみならず、それらの線形加算されたディレイ値によってもタイミング解析が可能

Information Technology Solutions Co., Ltd.

An IBM Japan Subsidiary

インフォメーション・テクノロジ・ソリューション株式会社

電話 03-3808-9006 FAX 03-3664-4889



販売代理店 伯東株式会社 情報システムグループ 電話:03-3225-8916 FAX:03-3225-9019

EinsTimerの主な特徴－2

- Area-Based Wire Loading Estimation機能により複数のサブマクロに分割されたLSIにおいて、それぞれにしめる面積に依存した別個の仮想配線負荷見積もりアルゴリズムを適用
- アブストラクト機能(サブマクロごとにタイミング解析用のモデルを作成する機能)モデルにより、デスクトップW/Sで大規模解析が可能
- OLAインターフェースにより広汎なテクノロジーをサポート
- ユーザーが特定のパスを指定し、テストから除外
- 豊富なタイミング解析レポート

データ・インプット・フォーマット

- EDIFNetlist level 2.0.0
- VHDL through IBM High-level Synthesis
- Verilog through IBM High-level Synthesis
- QuickfileCompressed VIM File Format
- VIM VLSI Integrated Model
- BDLS IBM Internal Design Format
- DSL IBM Internal Design Format

タイミング・ドリブン・デザイン・フロー

- ハイレベル・シンセシスはHIS機能ブロック(Mux、アダー、etc...)を使った
- 各HIS機能ブロックはテクノロジーに依存したデーターを持つ
 - サイズ、遅延モデル、ネット数、他
- 分割ロジックのサイジングと配置、チップI/Oと分割ロジックI/Oの指定、容量と混み具合の予測
- 予測した容量とRCの値を、タイミングツールとシンセシスに渡す
- フロアプラン情報を配置配線ツールに渡す

EinsTimerのパフォーマンス

ゲート数	解析時間	使用ディスク容量
4,200	13秒	3.47MB
107,500	4分59秒	127.14MB
121,000	4分37秒	138.41MB
IBM RS/6000 Model 590を使用		

DCL (Delay Calculation Language) 遅延計算言語

- ディープ・サブミクロン技術に必要な、複雑で非線型の計算に対応
- コンパイル式のため、非常に高速
- コンパイル後はバイナリーのため、データーセキュリティが高い
- すべてのアプリケーション(スタティック・タイミング、シンセシス、フロアプランニング等)で使われる、共通のタイミング・モデルを使う。
- 全設計過程で高精度で共通の結果を得られる。
- CIFの「標準遅延システム」プロジェクトはDCL,DCLコンパイラ、Common Delay Calculator APIを業界標準の遅延計算方法の基盤とする
- IEEE1481として標準化され、消費電力計算もサポートされる予定
- OVIもDCLを標準遅延計算方法の基盤として検討中(OLAが遅延計算エンジンとして採用)

豊富なタイミング解析レポート

- Slack List パス毎の到着時間、スラック
- Logic gates ブロック毎の遅延、到着時間レポート
- Net report スリュー、キャパシタンス
- Checks プライマリー出力やテストのレポート
- Check histogram
- Endpoint プライマリー出力やテストのクリティカル・パス
- Comprehensive 論理ブロック毎、スラックなど
- Info スリューと容量負荷違反

遅延計算カリキュレーター

- ETE(Early Timing Estimator) Default using ETE Delay Equation
- DCL(Delay Calculation Language) Common based on NDR(New Delay Rule)
- No Path Delay Calculator Secondary
- Feed Through Delay Calculator Secondary
- TIB(Technology Independent Block) Secondary Delay Calculator

EinsTimer製品モジュール

- Base
- System Level Model Abtractor
- AC Test SDF Output
- DCL Delay Library CDC Compiler