



TestBench(テストベンチ)

Integrated TestBench System for SOC
テスト設計・検証・診断統合システム

圧倒的な実績のちがいによる究極の選択

SOC(System on chip)時代におけるテスト検証ツールに要求される機能と能力は、実に多種多様です。数百万ゲートに及ぶ大規模デバイスや千万ゲートを越えるMCMに対するテスト検証設計・検証機能は当然のことながら、テストバリエーションの高い回路設計・合成に始まり、高精度なテストバリエーション解析能力、高カバレージかつコンパクトなテストパターンの自動生成能力、さらに高速クロックで動作するデバイスのためのディレイテスト、複数の機能ブロックのテストに対するマルチプルなテストモード及びフル/パルシャル・スキャン、バウンダリ・スキャンなどの多様な設計に対する自由度の高い機能性が要求されます。又マイクロプロセッサやROM/RAMなどのブロックにたいする最適化されたBIST及びパターンの生成など、テスト設計、検証者が直面するあらゆる問題に対する解決能力が要求されています。

IBMは、ASICベンダーの一員として、同時にデバイスを自ら使用するシステム・メーカの一員としてテスト環境開発のため業界最大の開発チームを長期間投入してまいりました。その結果として最も高機能、高精度、高効率なテスト環境を構築し、その成果をTestBenchに盛り込みました。

TestBenchは昨年度においてASICや1000万ゲートを越えるMCMでテスト設計・検証に使用され成功をおさめており、この実績が、ユーザー様によってTestBenchが選ばれる理由となっています。

IBMのTestBenchは大規模SOCにおけるテスト設計・検証・診断の新しいスタンダードです。

TestBenchの主な特徴

- SOC対応、高性能、高検出率を少ないパターンで超高速に達成
- 高品位テスト・シンセシス (Test Synthesis)
テスト回路の自動合成 付加論理合成ツールとの緊密な統合環境
- テスタビリティ・アナリシス (Testability Analysis) 対話的なテスタビリティ解析
- テストジェネレーション (Test Generation)
 - 高カバレージ・テスト・パターンの高速生成
- ダイアグノスチクス(Diagnostics)
製造上のディフェクトとシュミレーションとのミス・コンペア
- テスト・ソリューション (Test Solution)
Full/Partial Scan, Boundary Scan, Logic-BIST, ROM/RAMBIST, White/Grey/Black Coreのサポート
- 多くのフォールト・モデルをサポートする高品質なテストトランジション、IDDq、パラメトリック、パターン
- 各種テスター対応(Reduced-Pin対応)
- 効率的・高速処理のためのパラレル・シュミレーションのサポート
- 業界随一の卓越したユーザー・インタフェース
 - フレンドリーなX-Windows・モチーフを使ったグラフィック・ユーザー・I/F
 - GUIからの作成も可能なコマンドライン I/F(CLI)
 - 各段階ごとにユーザーをヘルプする、メソッドロジ・アドバイザー
- 広汎な各社テクノロジーへの対応
- 業界標準WS及びパラレル処理による高速シュミレーションのサポート

<http://www.chips.ibm.com/services/testbench>

<http://www.its-ibm.co.jp>



Information Technology Solutions Co., Ltd.
An IBM Japan Subsidiary

インフォメーション・テクノロジー・ソリューション株式会社
電話 03-3808-9006 FAX 03-3864-4889



販売代理店 伯東株式会社 情報システムグループ 電話:03-3225-8916 FAX:03-3225-9019

デザイン・インプット・フォーマット

- EDIF(2.0.0 または3.0.0 階層またはフラット)
- Verilog(structural)
- VHDL
- Menter Test Views
- integrated Data Model (IDM, Sematech/ CIF common data model)
- Test Bench Hier Models
- Transistor Net-lists (Gate Maker Converted)

スキャン・メソッドロジー

- フル・スキャン(エッジ及びレベル・センシティブ)
- パーシャル・スキャン
 - ノン・スキャナラブル・ラッチ、パイプライン、マルチタイム・イメージ
 - パーシャル・スキャン選択
 - 自動スキャン挿入
- シーケンシャル
- BIST(Built-In Self Test)
- Weighted Random pattern

テストビリティ解析

- TSV (Test Structure Verification) :
デザイン・ルール、クロッキング、スキャン・チェイン、MEG、X-State
- BSV (Boundary Scan Verification)
BSDL, IEEE1149.1 Conformance, Bypass Exttest, Sample/Preload, IdCode/UserCode,
- MSV (Macro Structure Verification)
isolation of embedded devices to chip pins/latches
- DFA (Deterministic Fault Analysis) :
アンテスタブル・フォルト
 - PSA (Partial Scan Analysis)
% to scan, black boxes, loops, sequential depth
- ランダム・レジスト・フォールト・アナリシス

➤ フォールト・モデル

- スタック・アッド(スタティックおよびダイナミック)
- パターン(スタティックおよびダイナミック)
- ハイアラキカル(ダイアグノチックス)

➤ テスト・シンセシス

- インターナル・スキャン
- MUXスキャン
- クロックド・スキャン
- LSSDスキャン(クロックド、D-Mimic, シングルラッチ/ダブルラッチ)

➤ バウンダリー (エクスターナル)スキャン

- IEEE 1149.1
- IBM バウンダリー・スキャン
- スタンプス BIST
- I/O マネジメント

➤ テストパターン生成(ATPG)

- マニュアル/ファンクショナル・パターン
- 擬似ランダム・パターン
- スキャン・テスト(ストアード・パターン、デターミニスティック)
 - lddq
 - ドライバー/レシーバ
 - スキャン/フラッシュ
 - シーケンシャル
- バウンダリー・スキャン/インターコネクト
- LBIST(Logic Built-In Self-Test), ROM/RAM BIST
- WRPC (Weighted Random Pattern)
- マクロテスト
- Delay(AC): テスト生成
- オン・プロダクト・クロック生成

➤ パターン・コンパクション

- アクティブ・コンパクション
- リバース・シミュレーション
- パターン・マニピレーション
- ソート・トランケート・ベクター

➤ パターン出力

- Waveform Generation Language (WGL)
- Verilog
- FTDL
- ASCII
- Binary