



## Windows95/98/NT 対応VHDL シミュレータ MyVHDL Station

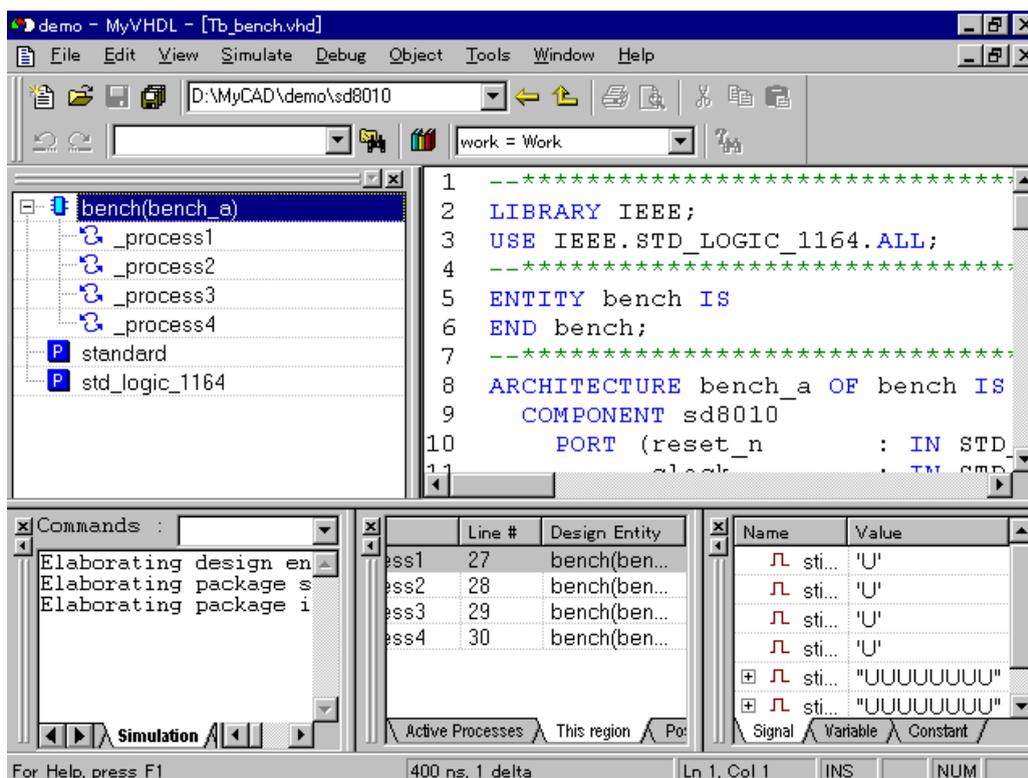
Mycad 社の MyVHDL Station は VHDL 設計、エディタ、コンパイラ、シミュレータ、デバッガから構成される Windows95/98/NT 上で動作する高性能/低価格な VHDL シミュレーションツールです。C コンパイラベースのシミュレータによって IEEE1076 標準のピヘピア/ストラクチャル VHDL コードの検証を行います。VHDL コンパイラ、シミュレーションエンジン、ソースレベルデバッガと波形エディタ、波形表示解析ツールで構成されています。MS Visual C++コンパイラを利用する C コンパイラベースのシミュレーションエンジンは C コード編集を行いシミュレーション時間をスピードアップします。ソースレベルデバッガと波形表示解析ツールにより VHDL コードを容易にデバッグします。VHDL モデリング、シミュレーション、デバッグを容易にサポートするため GUI による設計内容、状況、シミュレーション動作、結果を容易に解析することが出来ます。

モデリングとシミュレーションは Window を使用することによって相互に行う事ができます。デザインのエディタはライン毎のエディタモードとソースコードの実行中のコンパイルによって行われます。

VHDL コードは Source Window に表示、信号値と変数、プロセスは個々の windows に表示されます。また Wave Window は入力と出力をディスプレイ表示され、Markup と Time up の機能は波形の測定時間を表示します。シミュレーションはコマンドモードの実行コマンドの記載しているスクリプトによるバッチジョブとして行われます。

MyVHDL Station は市販されている IEEE 標準 VHDL シンセシスツールへのインターフェイスが可能です。

また 1999 年秋にリリース予定の MySynthesis Station (VHDL シンセサイザ/オプティマイザ) と併用する事によってターゲットとする ASIC, FPGA へのマッピングが容易に行なえます。MyLogic Station のスキーマティックネットリストから階層的 VHDL 生成ツール VHDLGen, VHDL からスキーマティック生成ツール SheGen, EDIF からスキーマティック生成ツール Logic2EDIF と併用する事によってネットリストをスキーマティックに変換し、設計解析、修正後に VHDL を生成、また EDIF ネットリストや MyLogic のスキーマティックから VHDL を生成する事が出来ます。



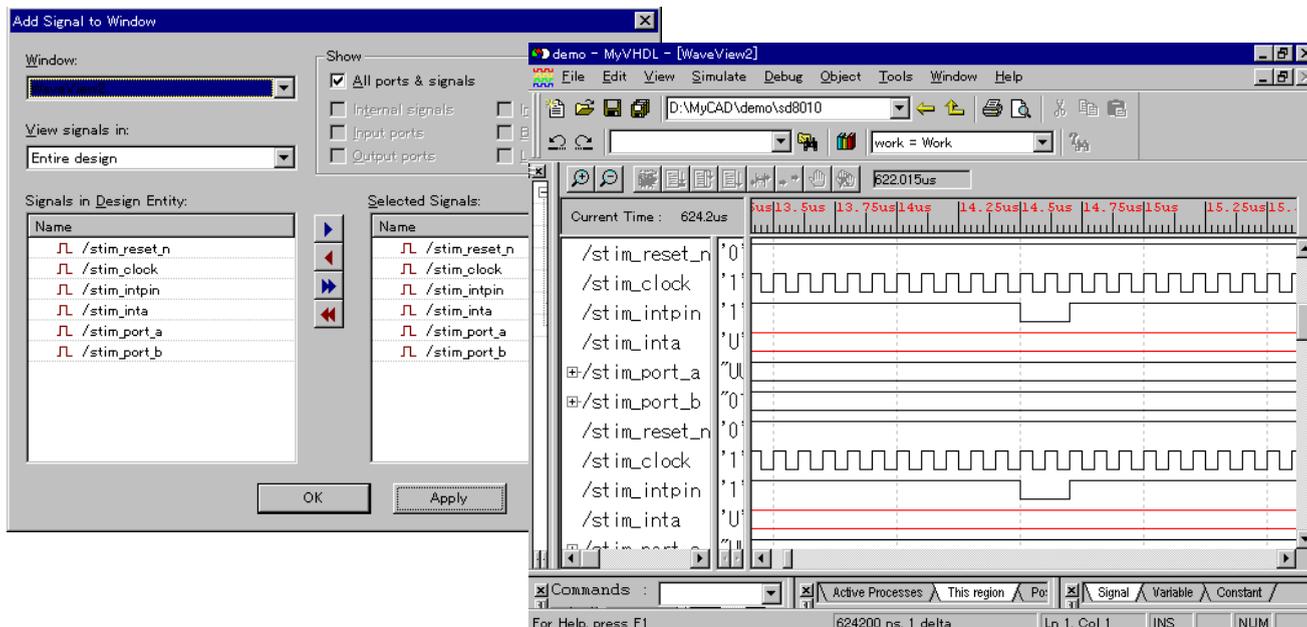
## 【特徴】

- 。コンパイルコード方式
- 。IEEE1076/1987 及び IEEE1076/1993 標準 VHDL サポート
- 。VHDL ファイルを容易にエディットする為の VHDL Wizard, シンタックスカラーリング
- 。スティミュラスの為のコマンドラインモード及び スティミュラスファイル
- 。IEEE 標準 VHDL シンタックス、シンセシスツールへのインターフェイス
- 。MySynthesis との併用により VHDL シンセシス、テクノロジーマッピングが容易
- 。MyLogic との併用によりスキマティック生成、スキマティックエディタ/VHDL、コード生成
- 。シミュレータエンジンはイベントドリブン、インタープリタ、ビヘビアレジスタ変換レベルシミュレーション、カレント VHDL サブセット（合成可能）がフル VHDL へ拡張
- 。ソースレベルデバッグ

ブレークポイントでステップバイステップのシミュレーショントレース機能によるカレントオブジェクト評価とデータタイプの表示 VHDL コードを 1 ラインずつチェックし、エラーをデバッグ

- 。ユーザフレンドリーな GUI

File View :	VHDL ファイルのトレーシングを容易にする為のファイル階層の確認
Library View :	設計作業中のライブラリの確認
Source Window :	VHDL ソースファイルのデバッグ、エディットを容易化
Output Window :	性能及び動作の為のメッセージ生成及び表示
Command Window :	ユーザーコマンド入力
Dataflow Window :	設計のシグナルトレース
List Window :	タブラフォーマットを含むシミュレーション動作及び結果表示
Object Window :	信号名、信号値の表示
Process Window :	シミュレーション動作状況表示
Structure Window :	VHDL 設計の階層表示
Watch Window :	VHDL オブジェクト名、値 表示
Wave Window :	シミュレーション結果波形表示



## 株式会社アイヴィス

〒240-005 横浜市保土ヶ谷区神戸町 134 横浜ビジネスパーク イースター 11F  
TEL:(045)332-5381(代) FAX:(045)332-5391 email: sales@ i-vis.co.jp

