

# TransModeling, Inc.



## C/C++ モデル及びテストベンチ開発ツール System Modeler

TransModeling 社 System Modeler は C/C++ モデル及びテストベンチを開発する為の SLDA ツールです。トランザクションベースモデルからビット及びサイクルアキュレート・タイミングモデルまで要求されるレベルに様々なタイプのシステムモデルをフレキシブルに開発できます。

System Modeler は C コード化の専門知識に関係なく短時間でシステムレベルデザイン及びグラフィカルにテストベンチを開発が可能で、デザインの各ブロック毎の C/C++ コードを生成する汎用システムレベルデザインツールです。更に自動的にドキュメント化ができ、また一般的な汎用エディタを使用しデータストラクチャ及びオブジェクトを入力できます。オプションのシステム解析ツールでテスト完了時を知ることができ、デザイン階層の中のどのエレメントが問題であるのかを知る助けになり、従ってデザインソリューションを早期に決定できます。

C/C++ でデザインされたハードウェアモデルは RTL モデルに比べ、100 倍以上高速動作します。System Modeler の開発環境は容易に分散処理、パラレル HDL シミュレーションを可能にし C 及び HDL モデルを交換することができます。

シミュレーション時間がクリティカルで、短期間で開発を要求される場合等は特に TransModeling 社の System Modeler のソリューションが最適です。System Modeler はユーザーがデザインに集中出来るよう動作します。System Modeler は、いかなるレベルにおいてもハイスピード C/ C++ モデルを作成しモデルのデザインを改善する事ができます。インクリメンタル HDL 開発は二重、三重の手間を省きます。パラレル HDL シミュレーションはシミュレーション時間を削減するためにネットワーク上で可能な限りのマシンのパワーを有効に使用します。

System Modeler オーバービュー





## System Modeler 概要

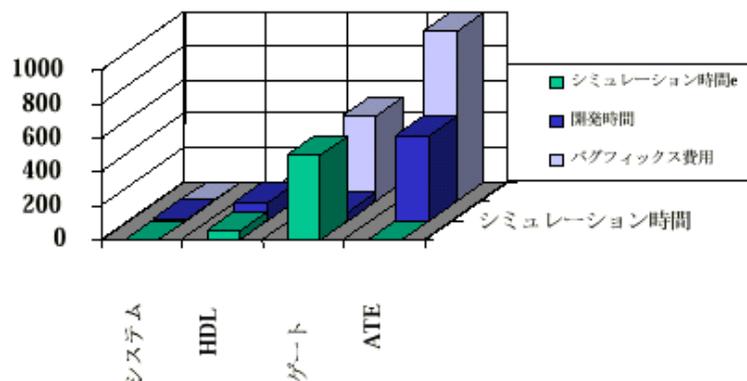
System Modeler 階層ブロック・ダイアグラムエディタは階層、インタフェース、接続性の記述に使用できます。System Modeler Thread Tree が階層の実行スレッドを要約しており、実行スレッドの変更は容易でシステム記述をいかなるレベルにもすることができます。各ブロックはファンクショナルリティ、コントロール、データを記述しているメソッドを含んでいるオブジェクトで、これらをグラフィカルに、テキストチャで、また両手法を同じダイアグラム内で使用して入力します。System Modeler Class Tree はデザイン内で全てのオブジェクト、メソッド、データストラクチャに瞬時にアクセスするブラウザで、デザイン階層を見てシステム中のどのブロックへも瞬時にアクセスします。

システム内のブロックにはSystem Modeler モデル、HDL モデル、現存するコンパイルドコードモデルが混在可能で容易に全てのモデルタイプを変換できます。ネットワーク上の全てのマシンへのパラレルHDLシミュレーションにより高速なHDLシミュレーションがシステムレベルデザイン内で行なえます。

パラレルHDLシミュレーションと他のシステムモデル間の全コミュニケーション及びシンクロナイゼーションは容易に実行され、パラレルHDLシミュレーションをより向上させるPlatform Computing社のLSFをサポートします。System Modeler HDLは、Cadence社Verilog-XL、Synopsys社VCS、MTI社Verilog/VHDL等のシミュレータをサポートします。

System Modeler Library Tree に現存モデル、コンパイルドコードライブラリ及SystemModelerモデルをインポートする事によってデザインのリユースが容易にできます。ライブラリコンポーネントをデ

時間と費用



ザイン階層、インプリメンテーションメソッド、データ記述へドラッグ・アンド・ドロップする事によってリユース可能コンポーネントの使用ができます。デザインの何処からでもドラッグ・アンド・ドロップによりSystem Modeler Library Tree へのメソッド、データ、ブロックのインポートが可能でライブラリコンストラクションを容易にします。

Frontier Design 社のAR/T Libraries、AR/T Builder、GSM 等の様々なコアが完全にサポートされておりC からHDL への変換モデルが短時間で作成可能です。ALU の拡張可能ライブラリ、アダー、マルチブ

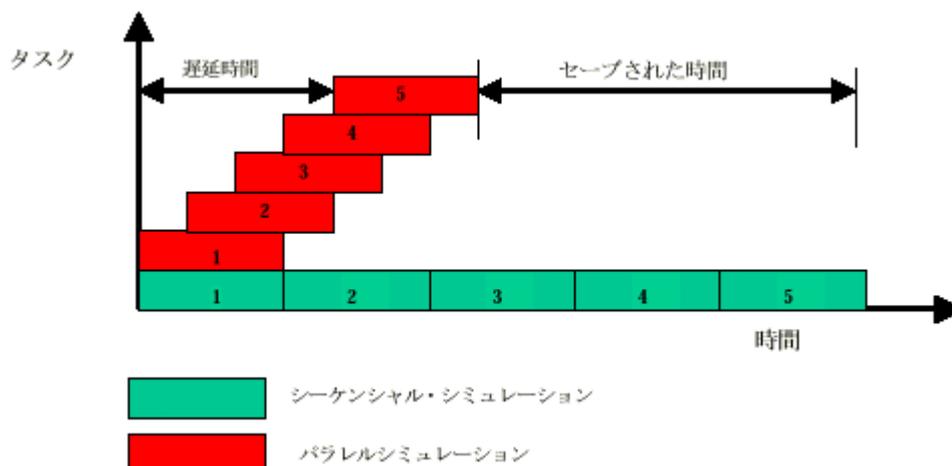
# TransModeling, Inc.



ライア、ROM /RAM、 ビヘビアで定義できる他のアプリケーション・スペシフィックユニットを提供するアーキテクチャ・シンセシスツールと共にサポートします。Model Packager はビュアHDL 実行環境へのハイスピードモデルの分散処理を可能にし、C/C++ モデルの周辺のHDL をラップします。モデルユーザーに見えないモデル実行の詳細を留めておき、一方で開発者が作成したモデル定義を維持します。System Modeler 内の全てのモデルは、テストベンチを含みエクスポートできます。他のシステムレベル製品での使用の為にC/C++ モデルの分散処理も可能にします。パッケージされたモデルは特定シミュレータHDL、IEEE OMI コンプライアントモデル、C/C++ モデルの選択が可能で各々に書き込まれます。

デザインからのコードの生成、コンパイルコードから実行可能モデル生成及びコンパイルコードの為のデバッガへのアクセスは単にボタンクリックのみで、GNU gcc コンパイラとgdb デバッガをサポートします。System Modeler Testbench Engine はコマンドオリエンテッドなテストとシステムのモニタリングを可能にします。Test Interface Object はインプリメンテーションからテストをアイソレートしながら、コマンドインプリメンテーションを要約します。この技術はテスト手法を変更せずにデザインレベルを変更します。いずれのコマンドもカレントテストを中止ができテスト診断及びデバッグテストの実行をイネーブルしながら異なるテストシーケンスを開始します。カスタムテストベンチは、System Modeler Testbench Engine で使用された同じコンポーネントを使って容易に作成できます。この作成は System Modeler のブロックとデフォルト・ルート・ブロック、様々なユーザ定義カスタムコード、System Modeler ライブラリコード等を使用します。System Modeler は全てのレベルのシステムレベルテストベンチをデザインのライフサイクルを通して使用できます。グラフィカルなエントリはドキュメント化を自動化し、限られたC/C++ 知識での入力、コードでの入力及び混在入力もできデザイン検証を可能にします。ユーザがテキストエディタ、ローカル及びグローバルコンパイルスイッチ、インクルードファイル、テンポラリディレクトリ、オブジェクトの色及び他のツールオプションを選択できます。

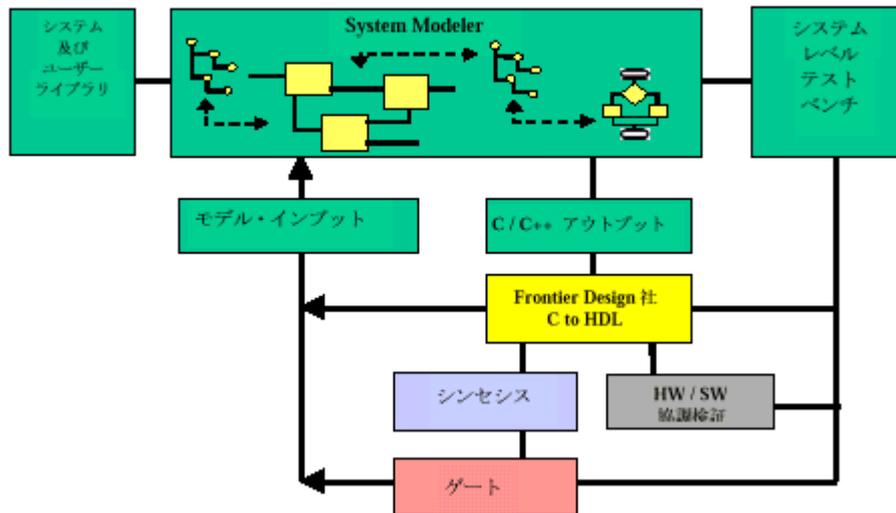
Partitioned Software はハードウェア開発においてソフトウェアの開発に関する問題を解決します。このツールはデザインのSoftware Partition 内でソフトウェアを開発が可能でMemory マップI/O ,I/O マップI/O ,デバイスドライバ、そしてインターラプト・ドライブソフトウェア・インプリメンテーションをアドレスします。System Modeler のソリューションはシュリンクラップされます。



# TransModeling, Inc.



## System Modeler デザインフロー



## System Modeler 特徴

- ・ 大規模化するHDLの開発期間短縮を可能にする、システムレベルのハードウェアデザイン及び解析のための統合開発環境
- ・ Synopsys 社VCS ,Cadence 社Verilog-XL、MTI 社Verilog/VHDL によるC レベル高速シミュレーションのサポート
- ・ Platform Computing 社のLSF による分割シミュレーションのサポート
- ・ トランザクションベースモデルからビット及びサイクルアキュレート・タイミングモデルまで要求されるレベルに従ってシステムモデルの仕様をフレキシブルに開発可能
- ・ システムレベルテストベンチはオリジナルデザイン仕様の再変換をせずにシステムレベルからゲートまでの完全にデザインフローを通して使用可能
- ・ システム解析ツールによってテストカバレッジ、タイミング、消費電力評価結果を得るのに有効利用可能
- ・ ソフトウェアとハードウェアの開発が別々に扱われる問題をSystem Modeler のハードウェア開発環境によってソフトウェア開発と密接に行なう事によって解決
- ・ ファンクション及びオブジェクトのライブラリを供給  
現存するC/C++ モデル、ユーザ定義ファンクション、プロジェクトの間に開発されたモデルをシステムライブラリに追加が容易
- ・ Frontier Design 社のAR/T Libraries、AR/T Builder が完全にサポートされておりC からHDL の変換モデルが短時間で作成可能

## 株式会社アイヴィス

〒240-0005 横浜市保土ヶ谷区神戸町134 横浜ビジネスパークイーストタワー11F

Tel:045-332-5381

Fax:045-332-5391

Email:sales@i-vis.co.jp

