



Formal Verification for ASIC & System-On-Chip Designs



Verplex Systems, Inc.

&

丸紅ソリューション株式会社

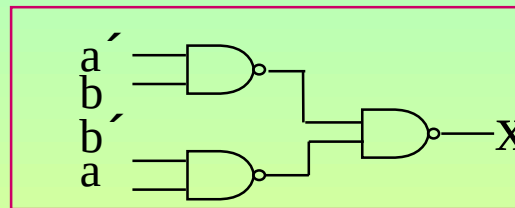
1999年7月

従来の動的検証：シミュレーション

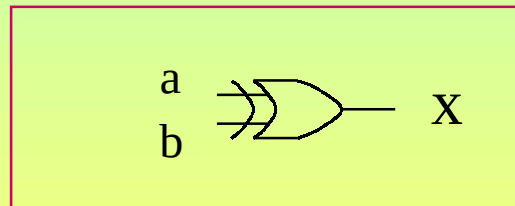
静的検証：論理等価性比較チェック

シミュレーションは、テストパターンにより回路の動作が決まる

a	b	x
0	0	0
0	1	1
1	0	1
1	1	0

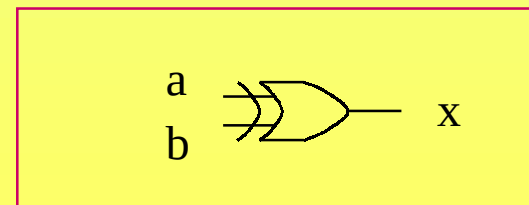
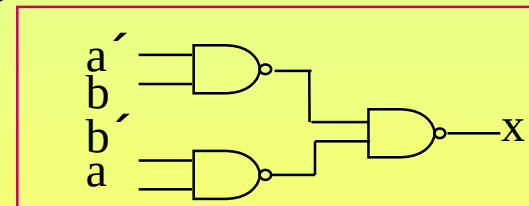


多大な時間が必要



数学的に回路等価を証明

僅かな時間



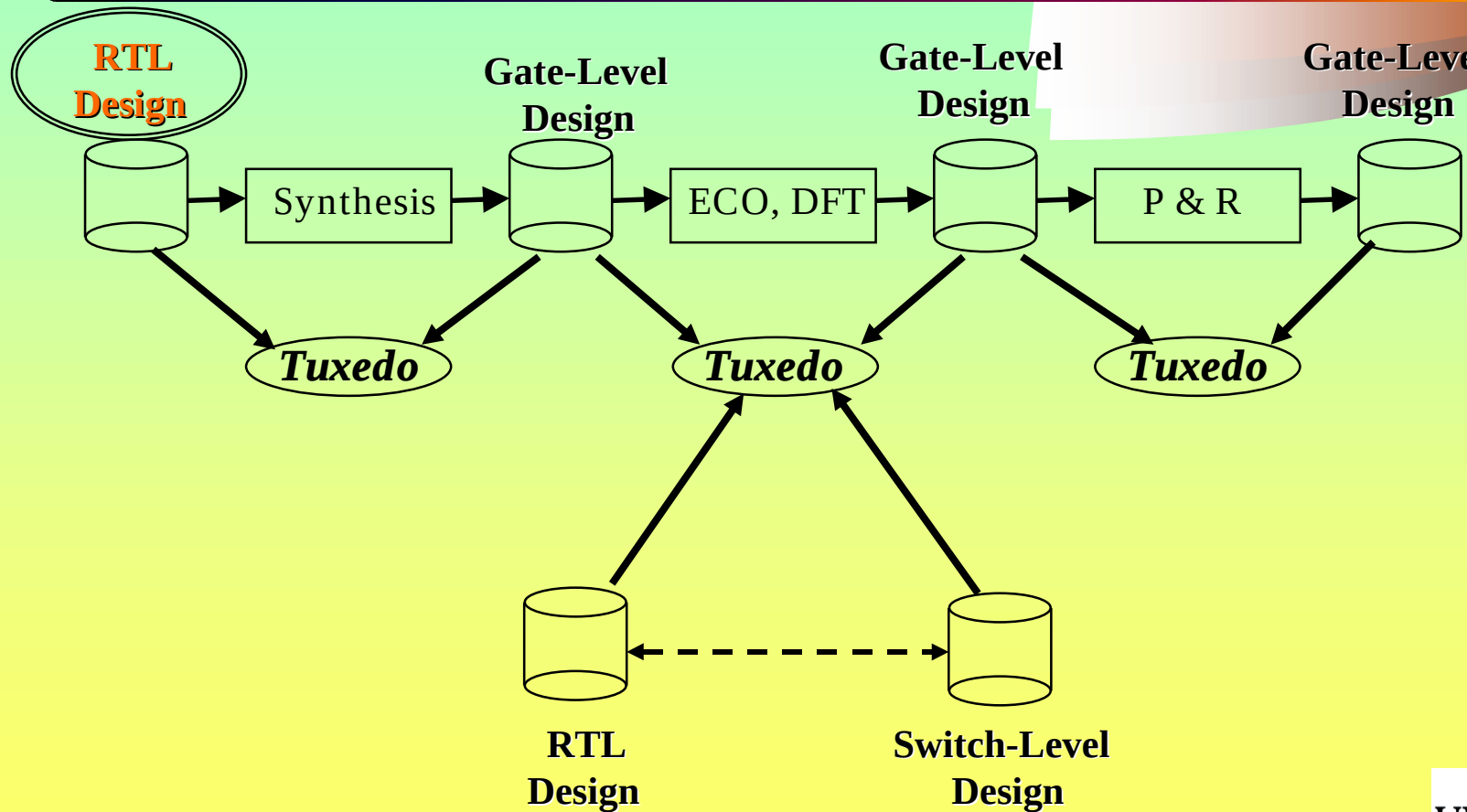
**FORMAL
PROOF**



フォーマルベリフィケーションの有効性

- フォーマルベリフィケーションの種類
 - 論理的等価性チェック
 - プロパティチェック
- フォーマルベリフィケーションのメリット
 - シミュレーション用パターン不要
 - 比較用にシミュレーションを複数回実行するより遥かに短時間で結果を入手 (x 数十 ~ over x 500)
 - 2つの回路を比較し、論理的な等価性を完全チェック
 - カウンターサンプルや動作の判っている順序回路との比較による動作検証 (デザインプロパティチェック)

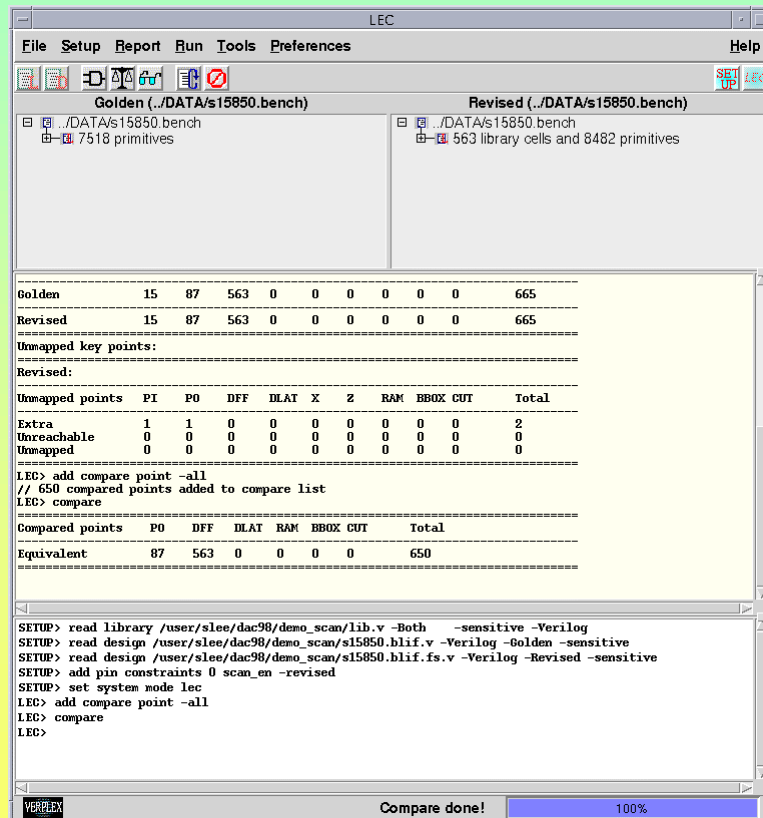
フォーマルベリフィケーションの活用フロー (等価性チェック)



Verplex社 製品ファミリー : *Tuxedo*シリーズ

- 等価性チェッカー
 - Tuxedo-LEC (Logic Equivalence Checker)
GUIツール / ダイアグノシス&デバッグ
 - <Tuxedo-LDD> (Logic Diagnosis/Debugging)
- トランジスタファンクション機能抽出とゲートへのリ・プレゼンテーション
 - Tuxedo-LTX (Logic Transistor Extraction)
- モデルチェッカー (Logic Modeling Checker)
 - *NEXT Release*

Tuxedo-LEC 作業フロー1



LEC

File Setup Report Run Tools Preferences Help

Golden (../DATA/s15850.bench) Revised (../DATA/s15850.bench)

Golden (../DATA/s15850.bench)
7518 primitives

Revised (../DATA/s15850.bench)
563 library cells and 8482 primitives

Golden	PI	PO	DFF	DLAT	X	Z	RAM	BBOX	CUT	Total
15	87	563	0	0	0	0	0	0	0	665
Revised	15	87	563	0	0	0	0	0	0	665

Unmapped key points:

Revised:

Unmapped points	PI	PO	DFF	DLAT	X	Z	RAM	BBOX	CUT	Total
Extra	1	1	0	0	0	0	0	0	0	2
Unreachable	0	0	0	0	0	0	0	0	0	0
Unmapped	0	0	0	0	0	0	0	0	0	0

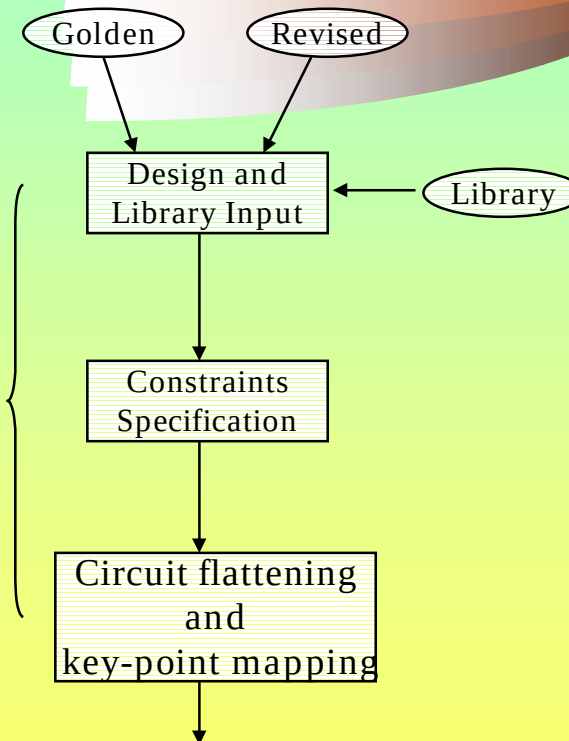
LEC> add compare point -all
// 650 compared points added to compare list
LEC> compare

Compared points	PI	PO	DFF	DLAT	RAM	BBOX	CUT	Total
Equivalent	87	563	0	0	0	0	0	650

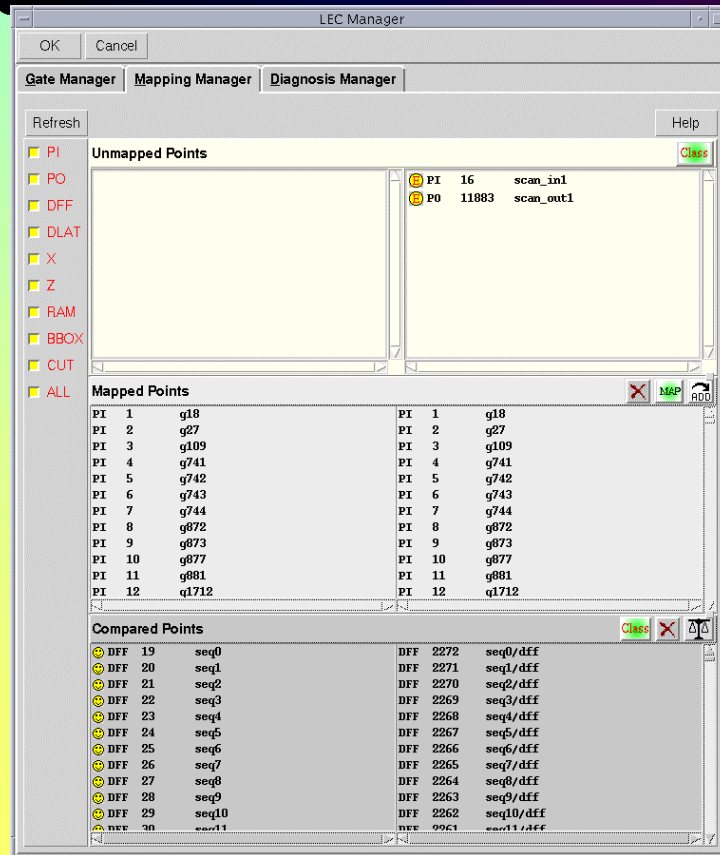
SETUP> read library /user/slee/dac98/demo_scan/lib.v -Both -sensitive -Verilog
SETUP> read design /user/slee/dac98/demo_scan/s15850.blif.v -Verilog -Golden -sensitive
SETUP> read design /user/slee/dac98/demo_scan/s15850.blif.fs.v -Verilog -Revised -sensitive
SETUP> add pin constraints 0 scan_en -revised
SETUP> set system mode lec
LEC> add compare point -all
LEC> compare
LEC>

Compare done! 100%

SETUP
mode



Tuxedo-LEC 作業フロー2



LEC
mode

Functional
Comparison

Compared
Reports

Diagnosis &
Debugging

Tuxedo-LEC- 入力 & コンパイル

- ソースレベル : RTL, Gate, Transistor レベル
- 入力ソース: Verilog, VHDL, NDL and Spice
- 入力ライブラリ: Verilog (UDPを含む)

VHDL

- RTL 比較での “Don’t-cares” 抽出・対応
- Directive (Full_case, Parallel_case, Translate_on/off)
- 4 値サポート(0, 1, x, z)
- 言語混在可能

LDD 機能 - デバッグ/ダイアグノシス

- ダイアグノシス & デバッグング
 - Gate to Gate
 - エラー候補箇所の自動認識
 - 論理コーン内の不一致点を回路図ビューワーで表示
 - RTL to Gate
 - *RTL*ソースを回路図ビューワーで表示
 - ソースレベルでエラー候補箇所を自動認識
 - エラー候補箇所の自動ハイライト表示
 - 回路図上にエラーパターンを表示

LDD (GUI)

LEC Manager

OK Cancel

Gate Manager Mapping Manager **Diagnosis Manager**

Schematic Refresh Help

Compared Point

Golden	DFF 29	seq10	Revised	DFF 1699	seq10/dff
--------	--------	-------	---------	----------	-----------

Diagnosis Point (active)

Golden	(0)	OR 5450	U49	Revised	(1)	MUX 11713	seq10/mux
--------	-----	---------	-----	---------	-----	-----------	-----------

Diagnosis Points (inputs)

OR 5450	U49	MUX 11713	seq10/mux
---------	-----	-----------	-----------

Corresponding Support

(0)	DFF 19	seq0	(0)	DFF 1709	seq0/dff
(1)	DFF 20	seq1	(1)	DFF 1708	seq1/dff
(0)	DFF 29	seq10	(0)	DFF 1699	seq10/dff
(1)	DFF 30	seq11	(1)	DFF 1698	seq11/dff
(1)	DFF 31	seq12	(1)	DFF 1697	seq12/dff
(1)	DFF 32	seq13	(1)	DFF 1696	seq13/dff
(0)	DFF 33	seq14	(0)	DFF 1695	seq14/dff
(1)	DFF 34	seq15	(1)	DFF 1694	seq15/dff

Non-corresponding Support

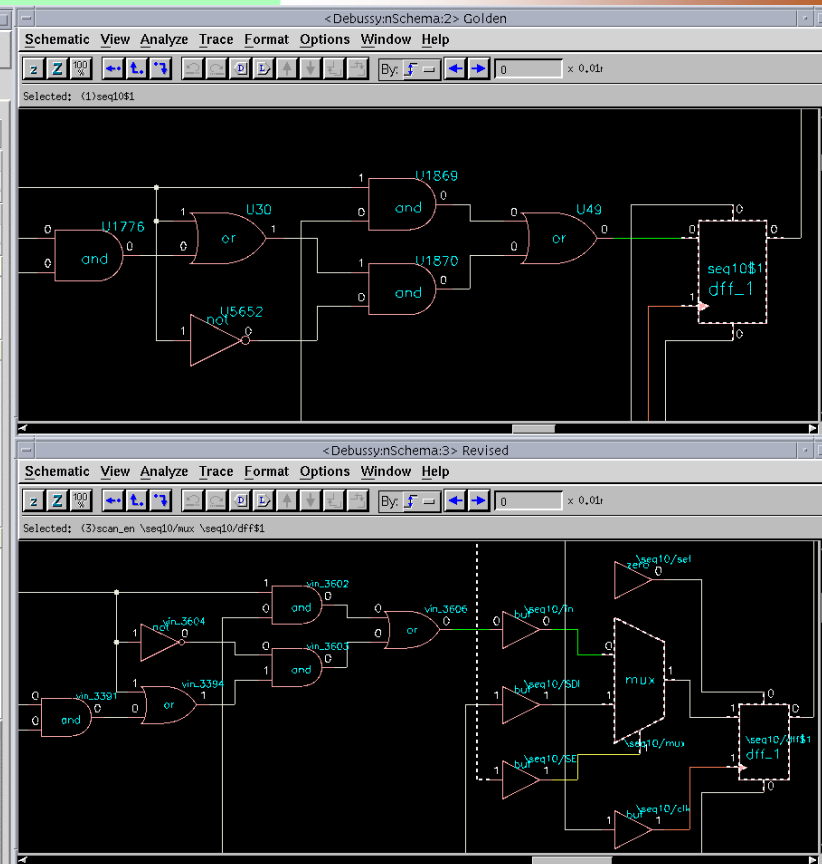
(1)	PI 17	scan_en
-----	-------	---------

Error Pattern

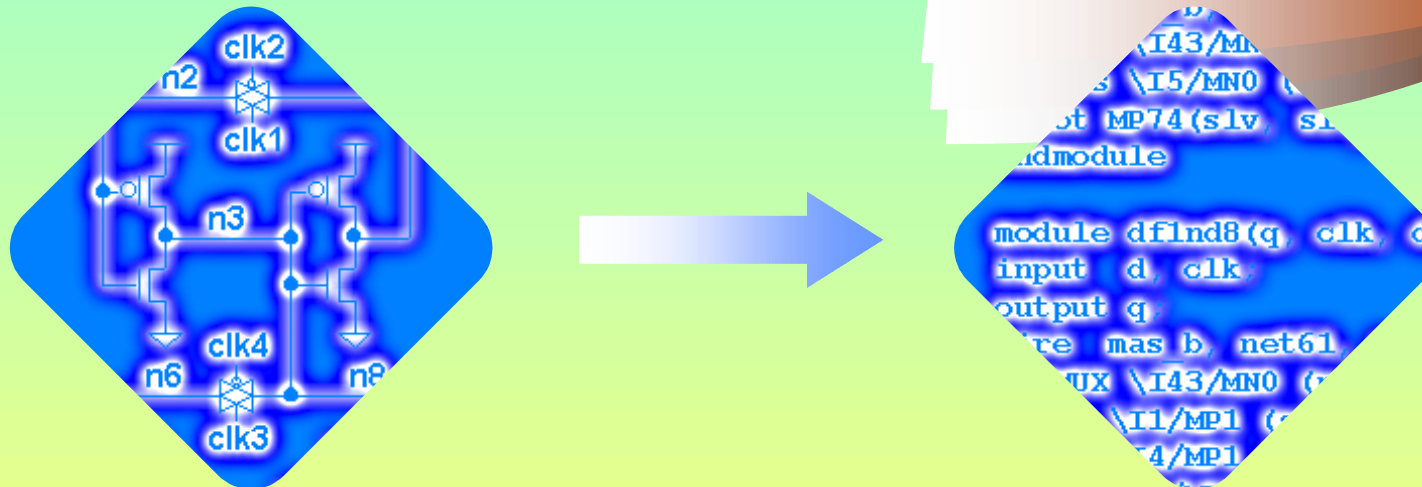
1: 0101011011000100011 1

Error Candidate

(1.00)	MUX 11713	seq10/mux
(0.49)	BUF 11712	seq10/SE

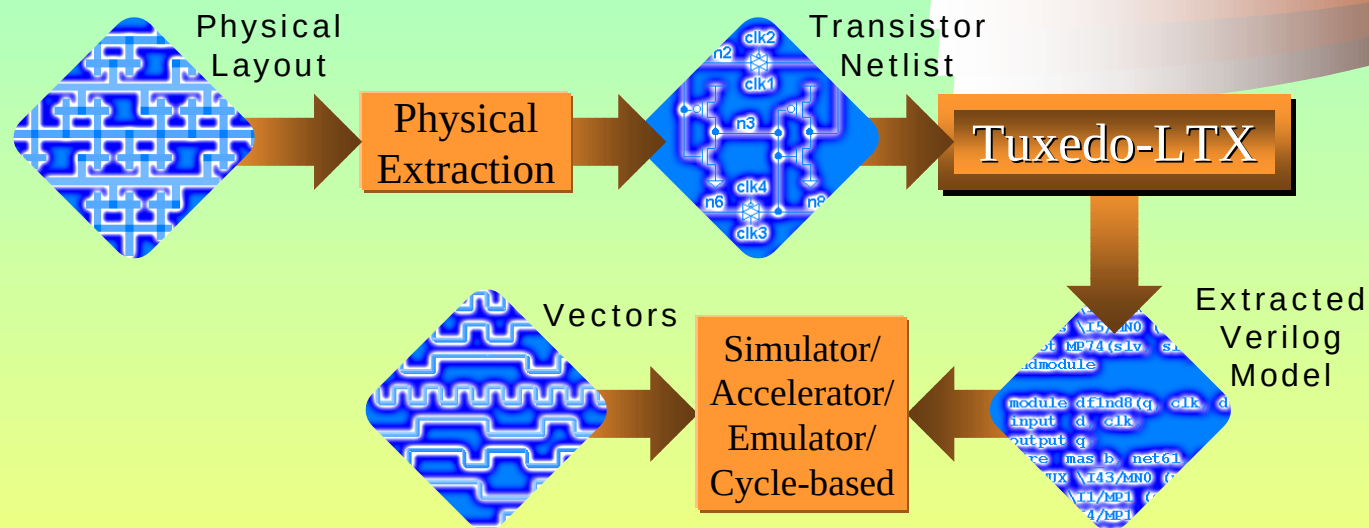


Tuxedo-LTXについて



- 自動的にトランジスターのファンクションネットリストを抽出
- 各ノードにブーリアンをアサイン
- Verilogのファンクションモデルとして出力

Tuxedo-LTX利用例



- SPICEに比べて桁違いのスピード
- switch-level Verilogの高速シミュレーション
- accelerators, emulators, cycle-based simulator等の高速化も可能

RTL-Gate : Benchmark Example 1

- Hewlett-Packard

Platform: HP with 500MB RAM

階層 RTL to フラット gate / don't cares無し

Size	Runtime	Memory
700K gates	40min.	700MB

Note: don't caresの有り無しは、パフォーマンスに大きく影響

Gate-Gate : Benchmark Examples 1

- Application: Manual engineering changes
 - Circuit: Graphics chip module
 - Size: 350K gates
 - Runtime: 4 minutes 51 seconds (UltraSparc 10)
 - Memory: 187 MB
-
- Application: Clock tree synthesis
 - Circuit: Video phone (whole chip)
 - Size: 500K gates
 - Runtime: 7 minutes 30 seconds (UltraSparc 10)
 - Memory: 215 MB



お問い合わせ

丸紅ソリューション株式会社
産業システム事業部
事業一部 EDA営業二課
東京 : (03) 5778-8551
大阪 : (06) 6395-5502

