



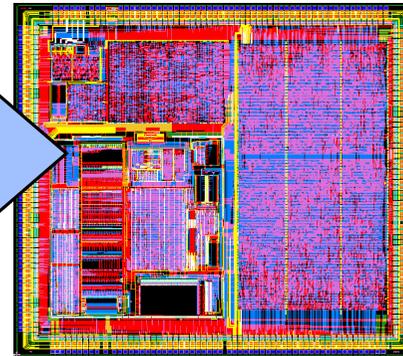
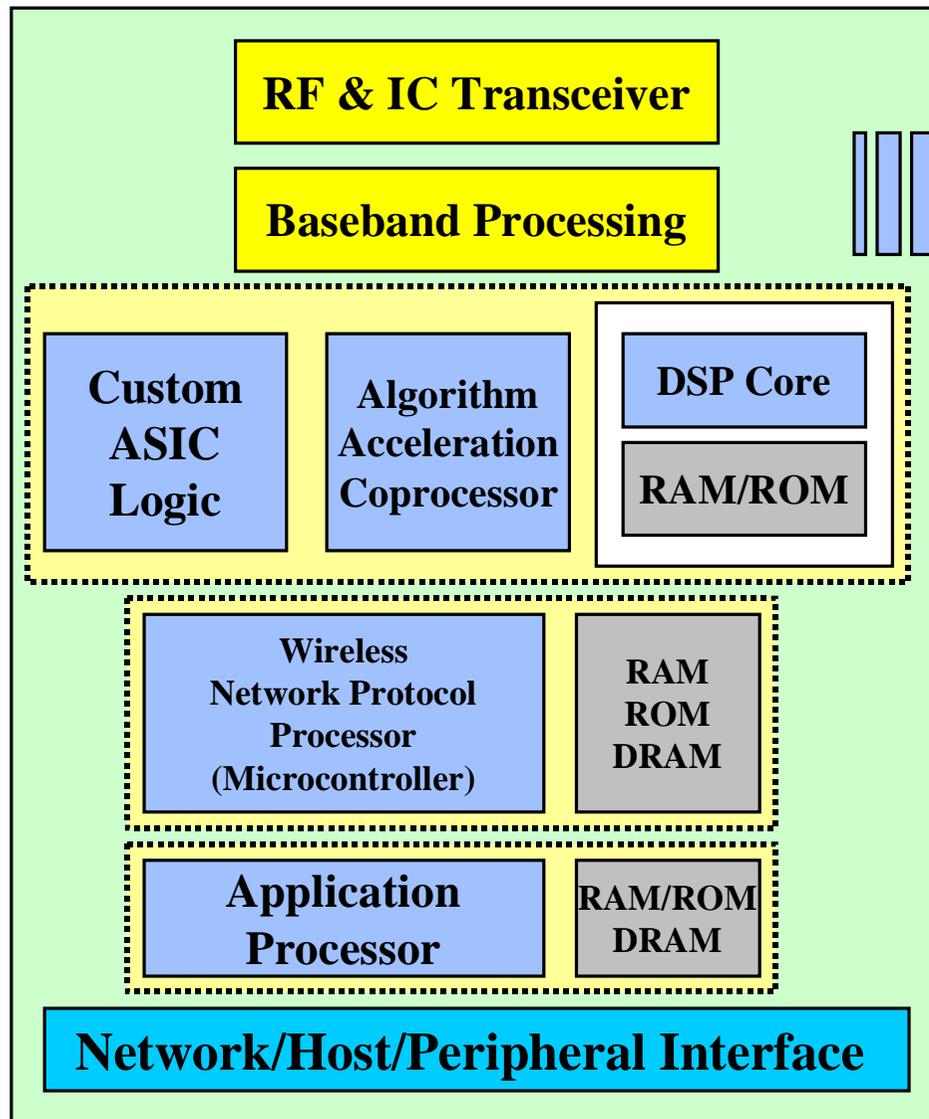
メンター・グラフィックス・ジャパン株式会社

**Mentor
Graphics®**

Agenda

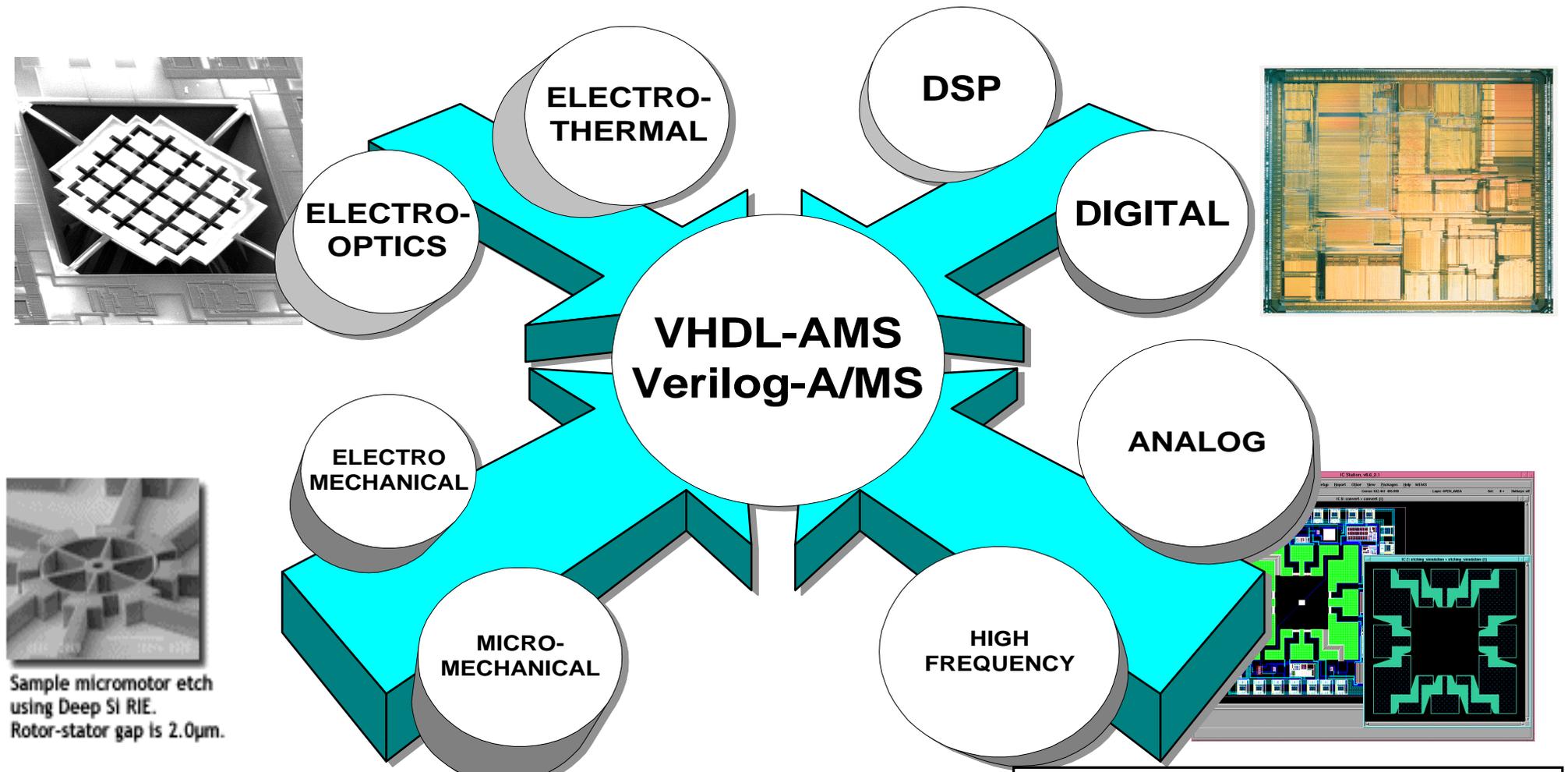
- ◆ ミックス・シグナル・ビジネスの変化
- ◆ ミックス・シグナル・シミュレーションへの要求
 - シミュレーション・モデル
 - パフォーマンス、精度
 - ライブラリ
- ◆ メンター・グラフィックスのミックス・シグナルへの取り組み
 - デバイス・モデル、言語
 - パフォーマンス、精度への要求に対する回答
 - アナログ *IP*
- ◆ まとめ

ミックス・シグナル・ビジネスの変化



- ◆ アナログ・ブロックを含んだ回路の増加
- ◆ デジタル・ブロックもアナログ・シミュレーションが必要
- ◆ ミックス・ドメイン・シミュレーションの必要性

ミックス・シグナル・シミュレーションへの要求



ミックス・シグナル・テクノロジ & マルチ・ドメイン
MEMS アプリケーション

ワイヤレス・アプリケーション
RFIC

ミックス・シグナル・シミュレーションへの要求



デバイス・モデル

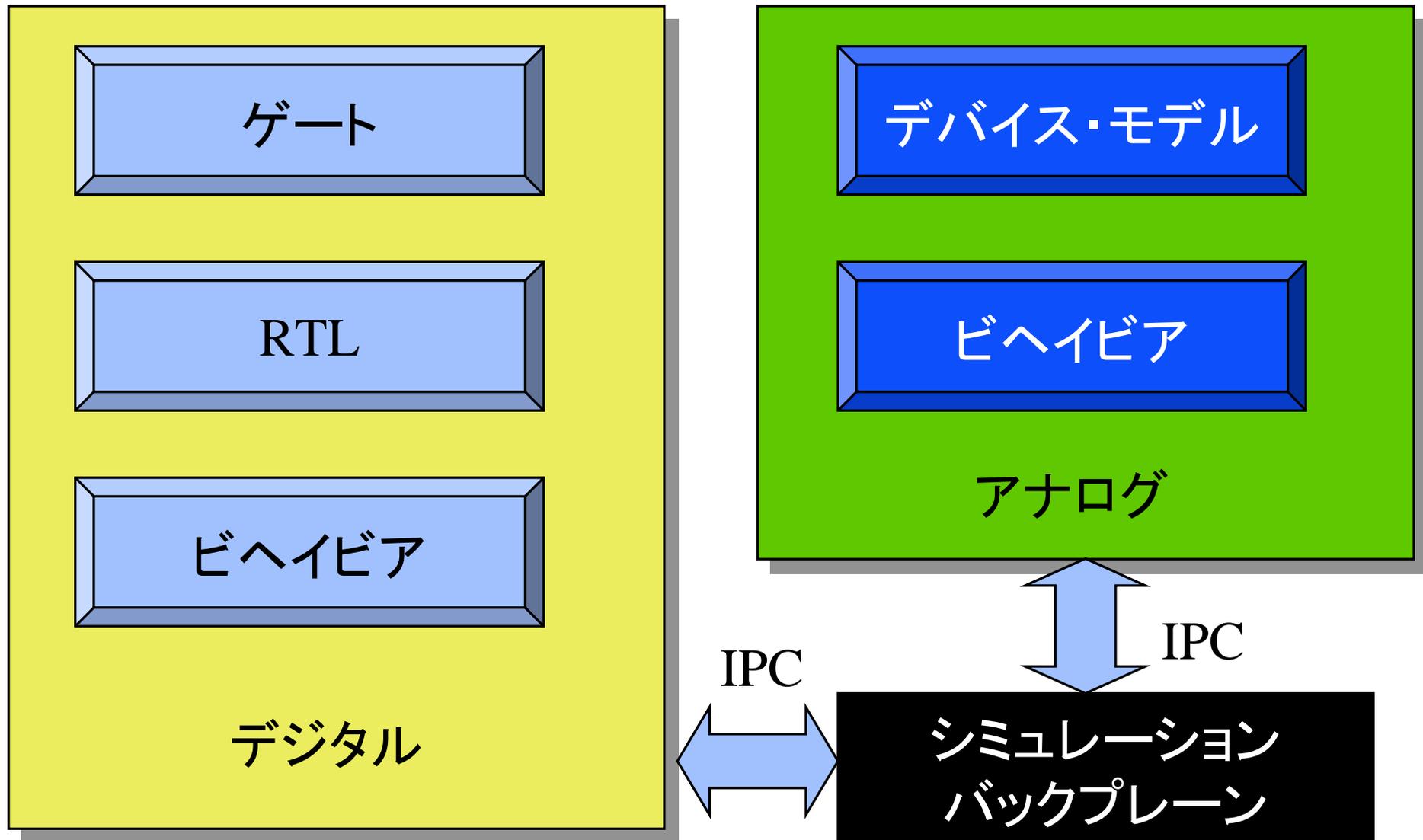


パフォーマンス
精度

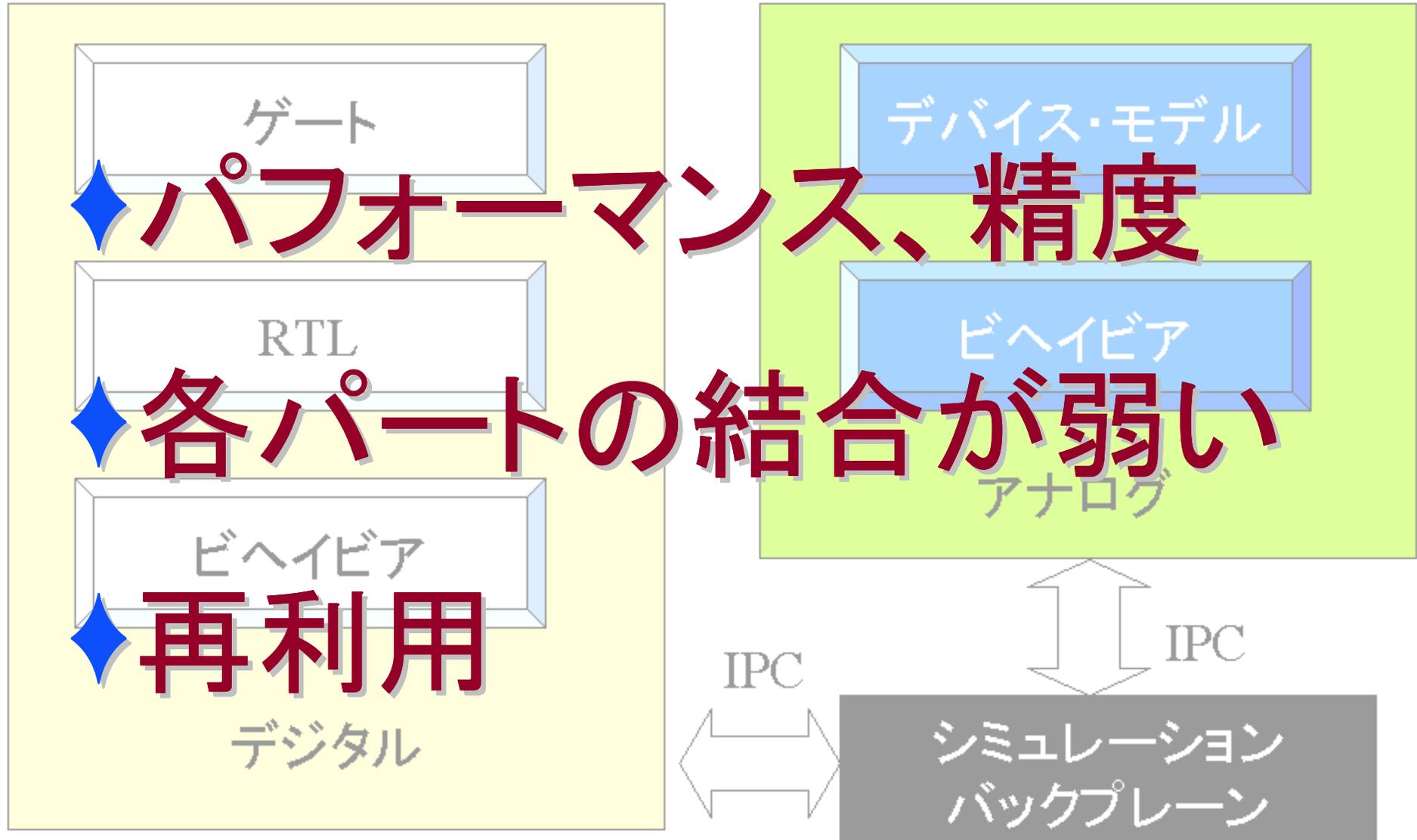


ライブラリ

シミュレーション・モデル



問題点

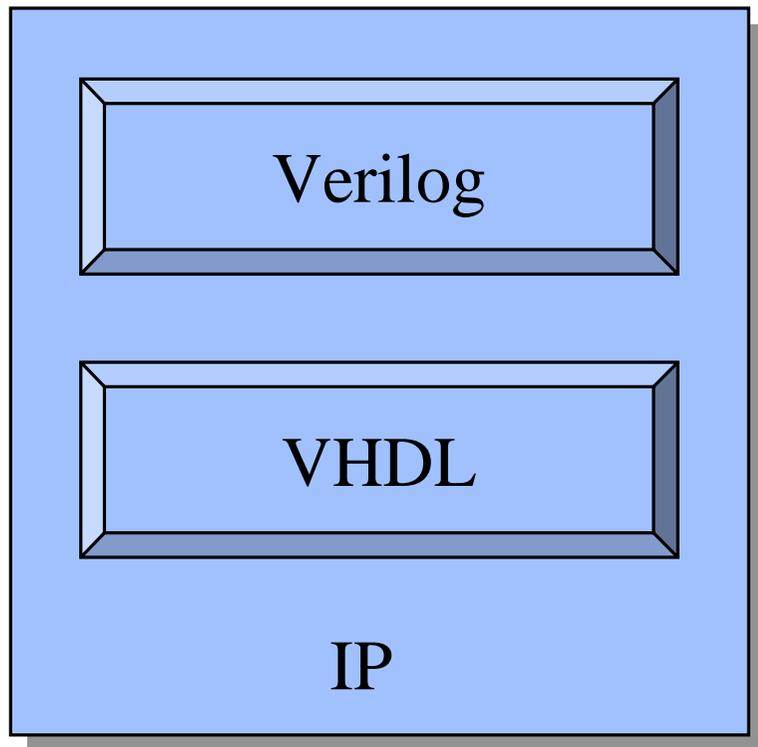


パフォーマンス、精度

- ◆ ボトル・ネックは？
- ◆ *DSM*テクノロジーへ対応可能？
- ◆ *TAT*は短縮可能？
- ◆ 設計のトレードオフは容易？

ライブラリ

明日から設計可能？



これだけで十分？

本当に求められているのは？

- ◆ シミュレーションのパフォーマンス
- ◆ 設計資産の再利用
- ◆ 設計のトレードオフ
- ◆ シミュレーション精度
- ◆ フルチップのシミュレーション
- ◆ *TAT*の短縮
- ◆ ポスト・レイアウトのシミュレーション

メンター・グラフィックスの取り組み

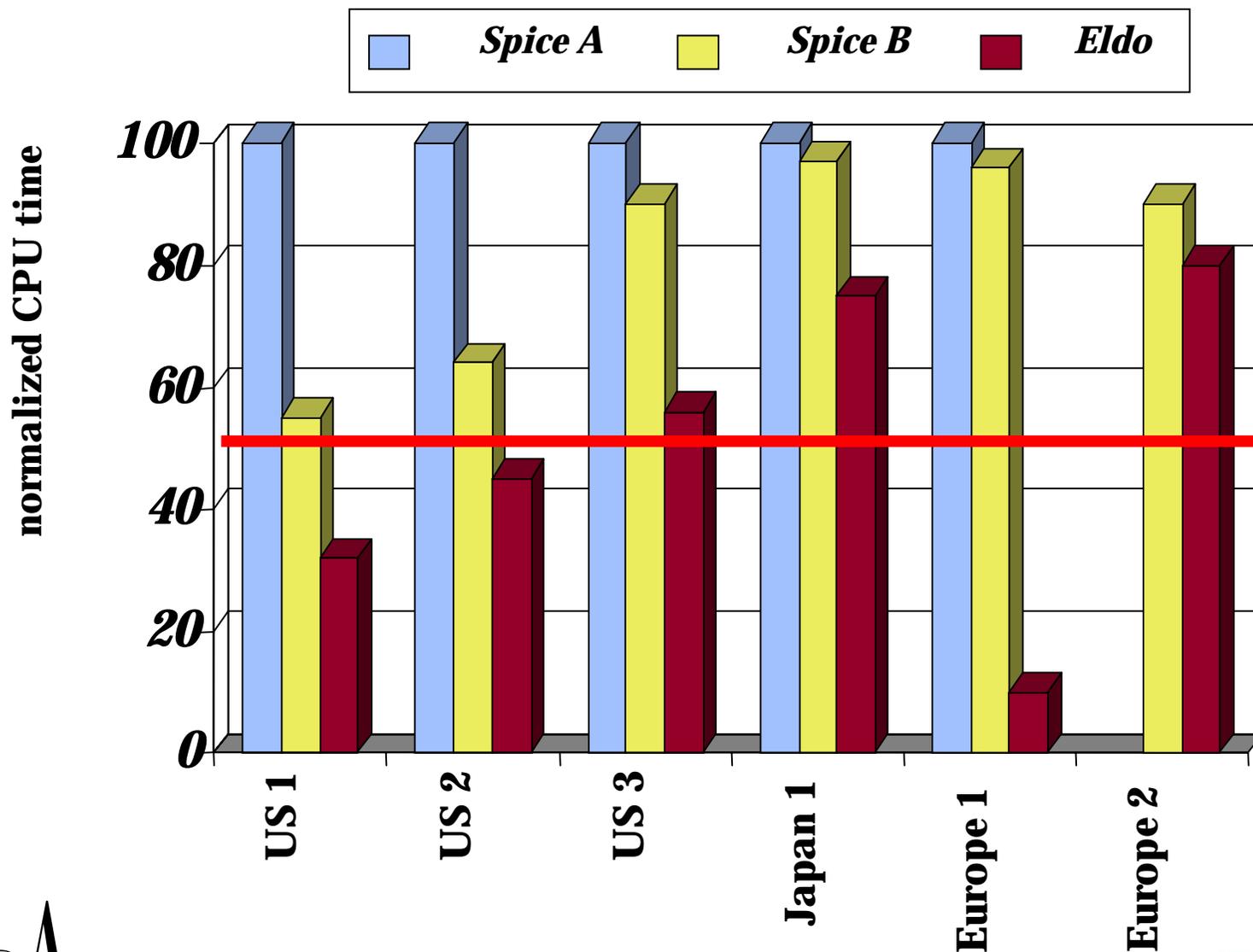
これからのシミュレーション環境

- ◆ シングル・カーネルによるシミュレーション・エンジン
- ◆ *VHDL-AMS*、*Verilog-AMS*のサポート
- ◆ アナログ/ミックス・シグナル*IP*
- ◆ 高速な*MOS*トランジスタ・シミュレーション・エンジン
- ◆ *RF*解析のサポート
- ◆ アナログ/ミックス・シグナルへのトップダウン設計の適用
- ◆ 最新のデバイス・モデルのサポート
- ◆ 大規模なシステム*LSI*の開発環境

*Eldo*TM シミュレーション・カーネル

- ◆ *Eldo* - 世界で20,000以上のインストール・ベースを持つスタンダード*SPICE*シミュレータ
- ◆ パフォーマンスに対する改良
 - *SPICE*カーネルの最適化
 - パーティション・テクニク(*OSR*)
 - コンバージェンス・アシスト機能(*Pseudo-Transient*, *gmin*, ...)
 - 高精度なアナログ解析(*IEM*)
- ◆ 精度に対する改良
 - 複数の精度コントロール設定
 - 非線形の問題に干渉されないピースワイズ・リニア
 - *K-law*の制約をグローバルにチェック

パフォーマンス比較

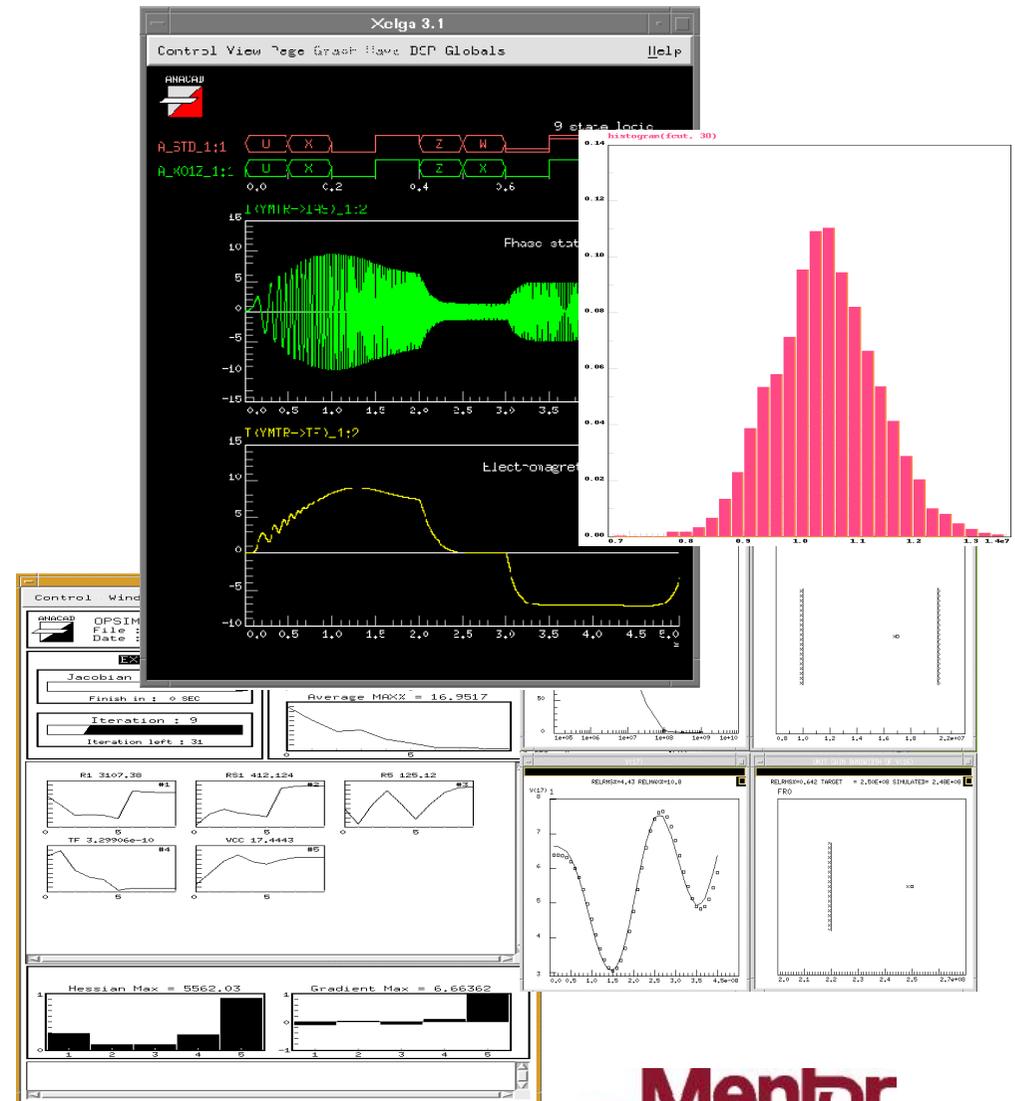


Eldo

スタンダードSPICEシミュレータ

◆ Eldo

- インクリメンタル・ラン
- トランジェント・ノイズ
- ポール・ゼロ解析
- S パラメータ抽出
- データ・フィルタリング
- ポスト・プロセッシング
- モンテ・カルロ解析
- ワーストケース解析
- パラメータ最適化 (*Opsim*)



デバイス・モデル

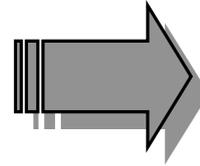
- ◆ スタンダード・デバイス・モデル
 - *SPICE*モデル、*MOS9*、*EKV*
 - *Gumman-Poon*、*Mextram*、*Hicum*
 - *BSIM3v3.1*

- ◆ 新たにサポートされたモデル
 - *BSIM3v3.2*
 - *BVIC 1.1.5*
 - *BSIM3 SOI (Berkley)*
 - *Hot Carrier*モデル

- ◆ 今後サポートされるモデル
 - *BSIM3v3.3*、*BSIM3v4*
 - *HVMOS (BTA)*
 - *BSIM3 SOI (BTA)*
 - *GCIM (Motorola)*

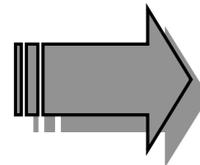
2000以降のプロダクト・ラインナップ

アナログ・カーネルの拡張



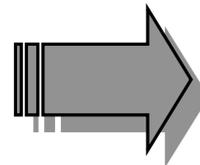
RFIC
スイッチ・レベル
シグマ・デルタ

記述言語のサポート



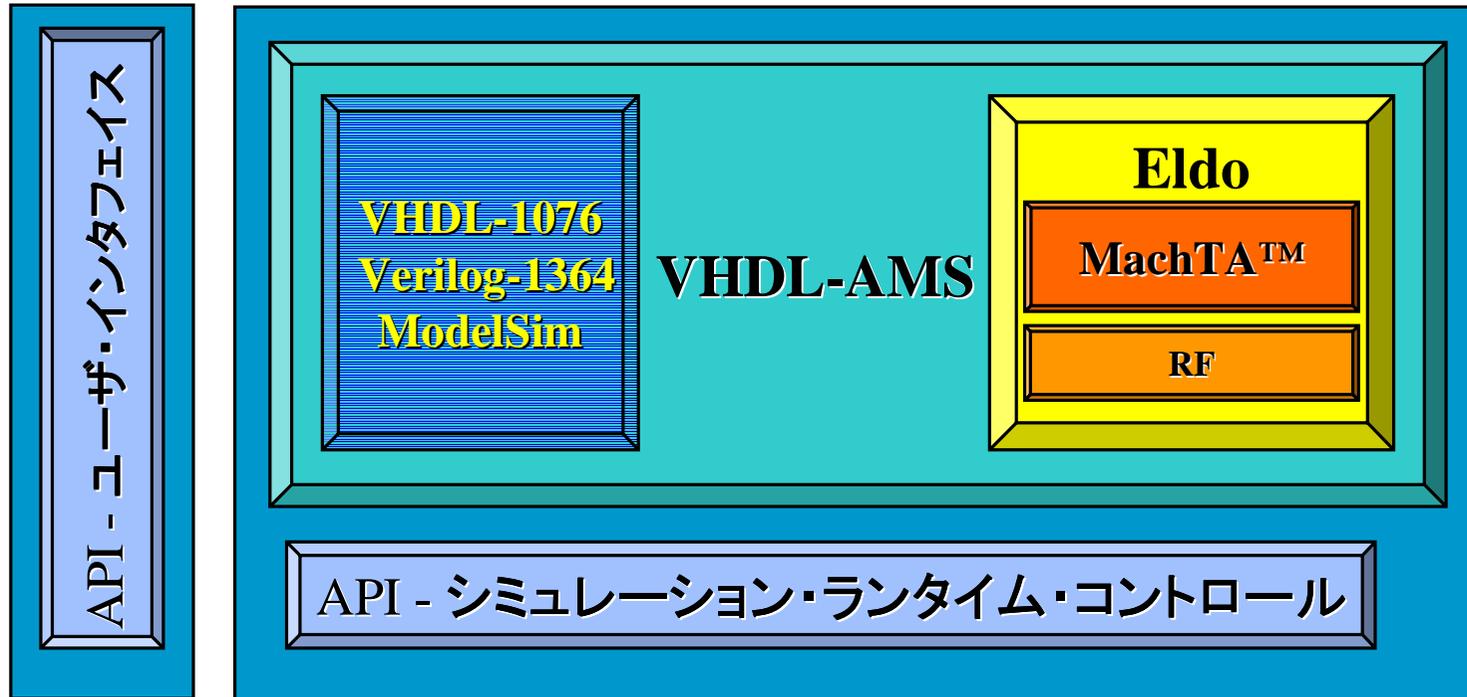
シングル・カーネル
スタンダードHDL
MATLAB I/F

再利用可能なライブラリ



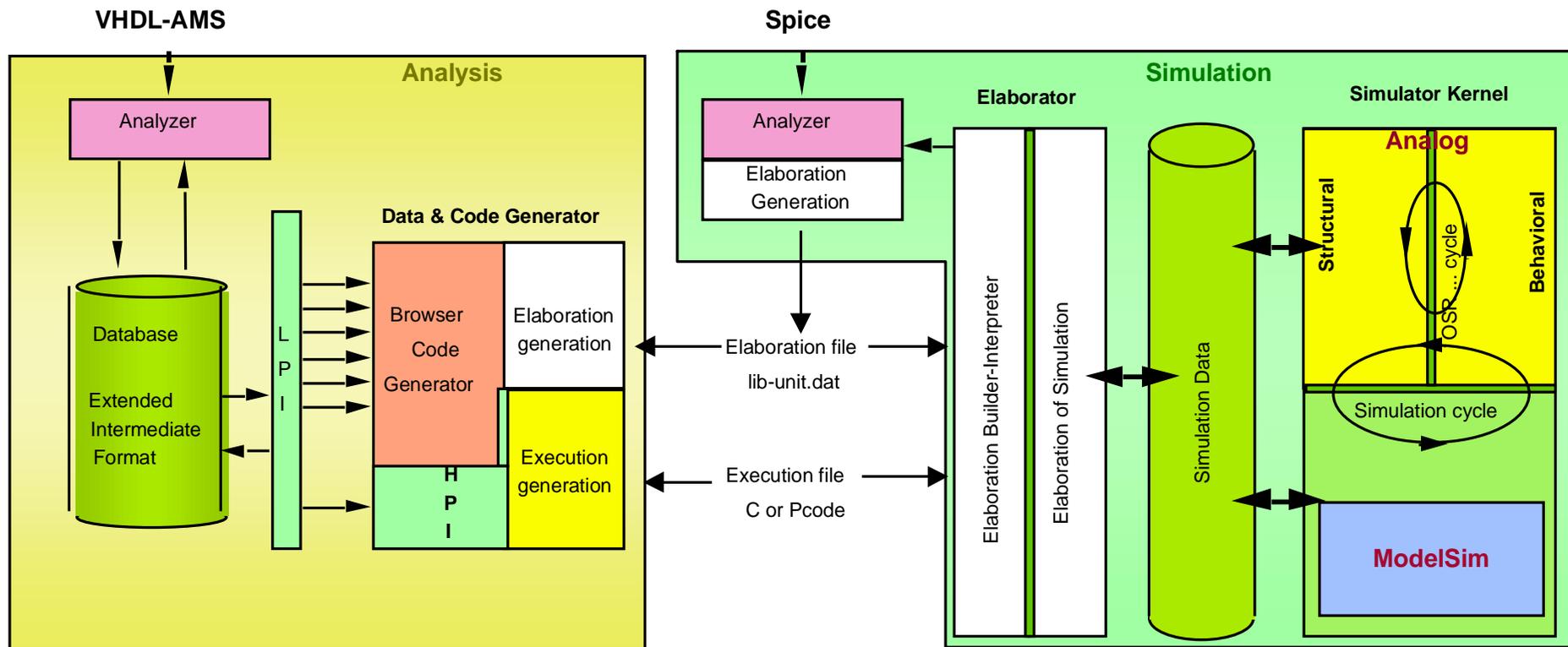
IPサポート
MEMS

シングル・カーネル・シミュレータ



- ◆ **IEEE**スタンダード**HDL**サポート
- ◆ デバイス・モデルから記述言語までをシームレスにサポート
- ◆ **RF**シミュレーションのサポート
- ◆ 高速な**MOS**トランジスタ・アクセラレータ

VHDL-AMS, Verilog-AMS, Eldoの融合



1- Code Behavioral Procedural Interface

1- Elaboration Procedural Interface

2- Simulation Procedural Interface

3- Synchronization Procedural Interface

ミックス・シグナル・シミュレーション・カーネル

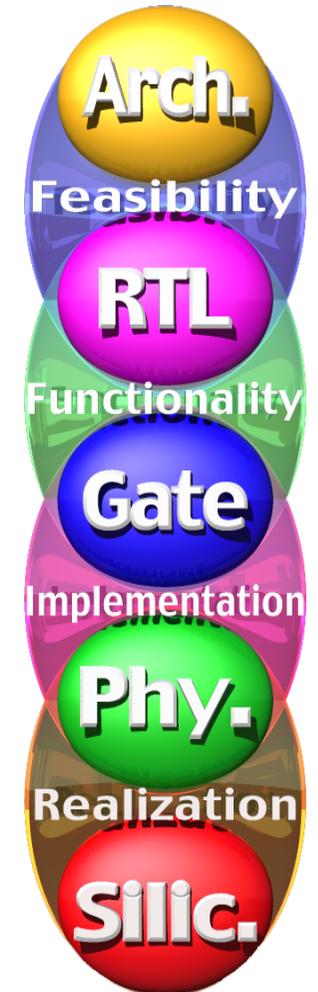
◆ *ModelSim*TMインテグレーション

- *VHDL*、*Verilog*サポート
- *VHDL-AMS*への拡張
- *Verilog-AMS*への拡張*

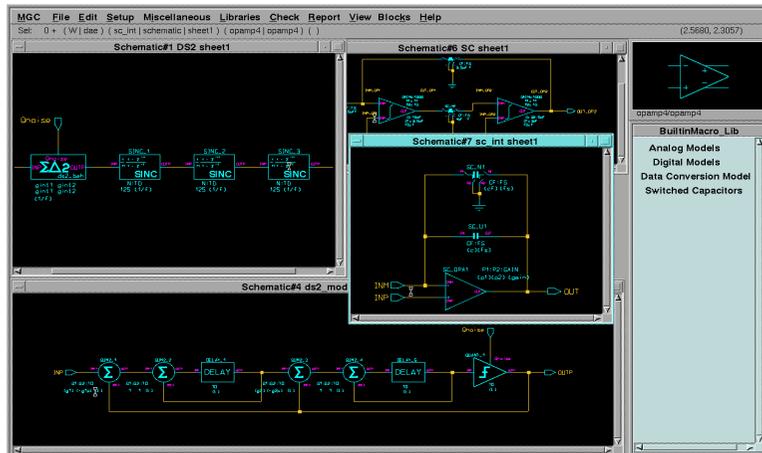
◆ シングル・カーネルによるパフォーマンスの向上

◆ デバイス・レベルからデジタル、アナログ記述言語によるマルチ・レベルをサポート

◆ トレードオフが容易



ADVance™ MS



```

VHDL-AMS Sys v1.0_1.1
File Library View Run Macro Options Window Help

Run Cont Stop Stop Over Break

#
# Software under License
# Copyright ANACAD
#
# ***** ANALYSIS ....
# ***** 0 error(s).
# ***** 0 warning(s).
#
# Load done
#
VHDL-AMS Sys 5>
    
```

```

Source - pll.vhdlams
File Edit Object Options Window

27 GENERIC (f0 : Real := 1.0e6; -- 1.0e9
28 kf : Real := 1.0e6;
29 magmax : Real := 1.0;
30 phase : Real := 0.0; -- 0.0, in radians
31 tdelay : Time := 1 ns;
32 trise : Time := 10 us;
33 PORT (TERMINAL inp, outp : Electrical);
34 END ENTITY;
35
36 LIBRARY ieee;
37 USE ieee.math_real.ALL;
38 ARCHITECTURE a OF vco IS
39 SIGNAL mag_deriv : Real := 0.0;
40 QUANTITY vin ACROSS inp;
41 QUANTITY vout ACROSS iout THROUGH outp;
42 QUANTITY alpha, mag : Real := 0.0;
43 BEGIN -- a
44 mag_deriv <= 0.0,
45 magmax / 5.0e-6 AFTER tdelay, -- magmax / Real(trise)
46 0.0 AFTER tdelay + trise;
47 -- BREAK ON mag_deriv;
48 PROCESS
49 BEGIN
50 WAIT ON mag_deriv;
    
```

```

Structure
File Edit Window
test : test(pll)
-- phase d : phased(a)
vco2 : vco(a)
package standard
package electromagnetic_system
package physical_constants
package math_real
    
```

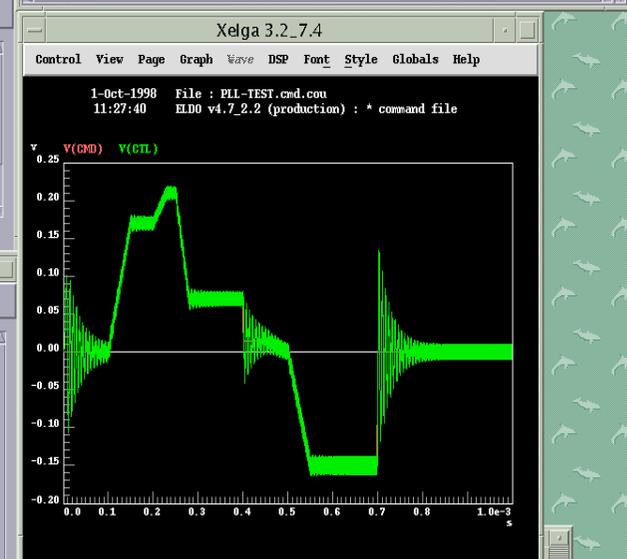
```

Nets
File Edit View Window
signal:
-- mag_deriv = 0
terminal:
inp = 0
outp = 0
quantity:
vin = 0
vout = 0
iout = 0
delay = 0
    
```

```

Process
File Edit Window Active
<Ready> _p1 .test.vco2
<Ready> _sas1 .test.vco2
<Ready> _p1 .test.vco1
<Ready> _sas1 .test.vco1

a
f0 = 1e+06
kf = 1e+06
magmax = 1
phase = 0
tdelay = [1000000 fs]
trise = [10000000000 fs]
    
```



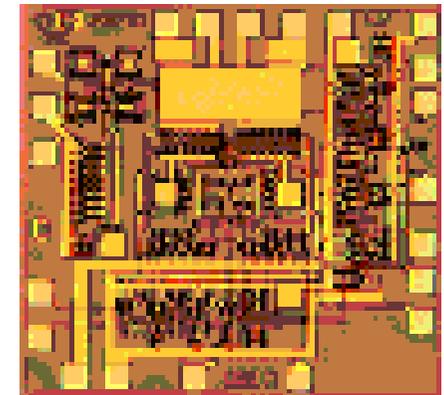
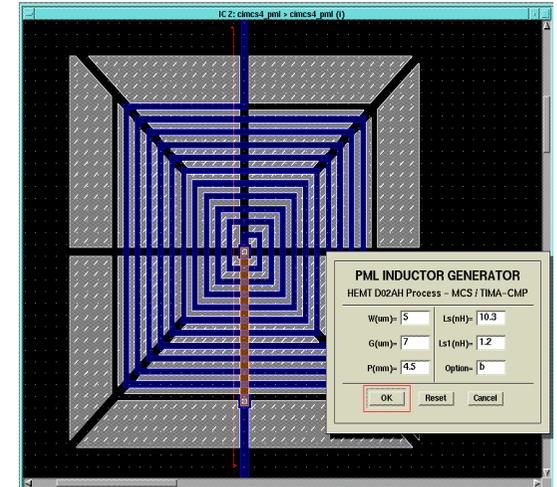
RFシミュレーションへの拡張

◆ *ADVance*TM *RFIC*

- 大規模な*RFIC*への対応
- ~2GHzサポート
- *SPICE*ネットリストサポート
- 高速なシミュレーション
- ポスト・プロセッシング

◆ *VHDL-AMS*、*Verilog-AMS*の拡張

- テレコミュニケーション用のシステムモデリングのサポート



サポートされる *RF* 解析

	Time-Domain Methods	Frequency-Domain Methods	Envelope Method	Linear Time Varying Method
Amplifiers (MNL)	X	X		
Amplifiers (HNL)	X	x		
Mixers (CT)	X	X		X*
Mixers (NCT)		X		X*
Oscillators	X	X	X	
PLLs, AGCs			X	
SC Circuits	X*	x*		X*

*: Small Signal

MNL = mildly non-linear

CT = commensurate tones

HNL = highly non-linear

NCT = non-commensurate tones

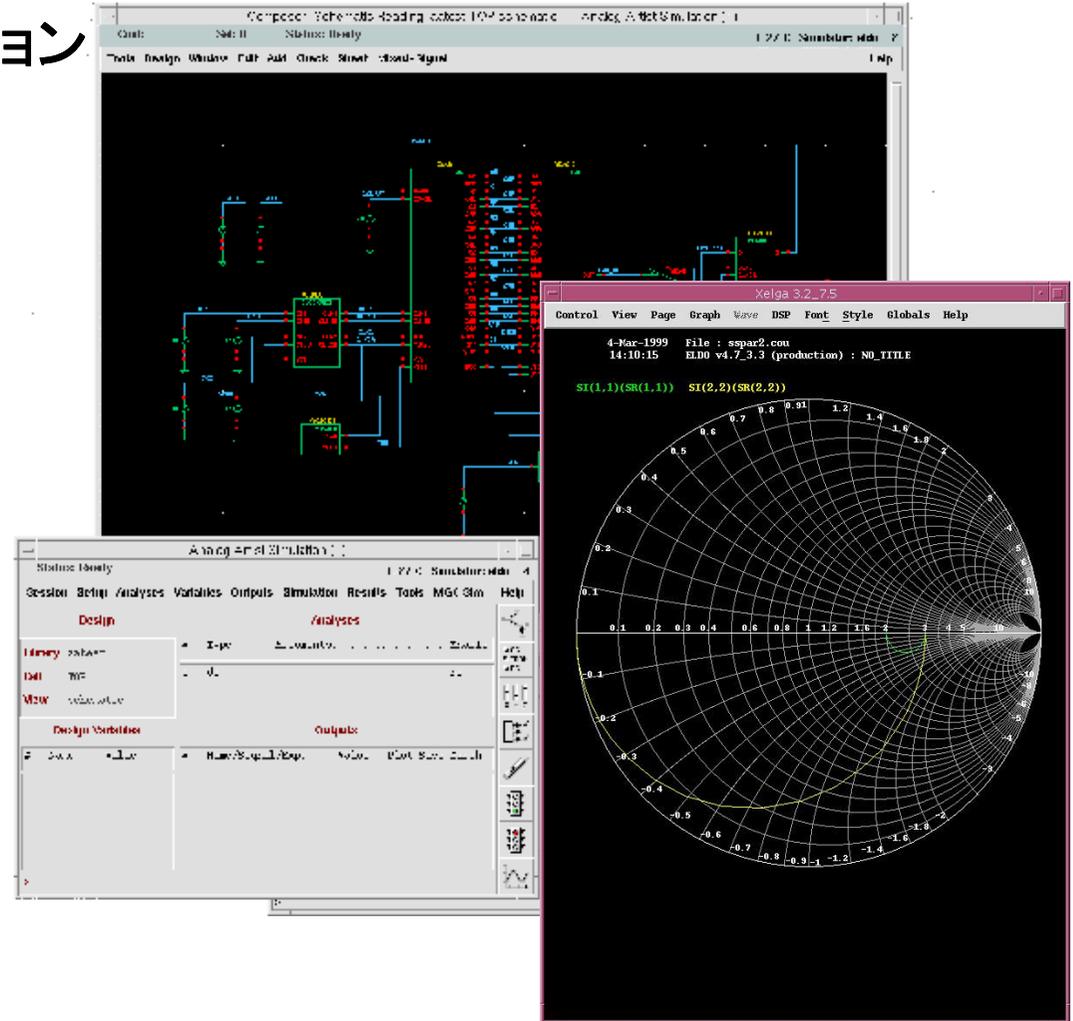
Eldo-OCI (Mach TA)

- ◆ テーブル・モデルによる高速で、高精度なシミュレーション・エンジン
 - *SPICE*対比1,000倍のパフォーマンス
 - *SPICE*と同等の精度
- ◆ パーティション技術と高速なマトリックス解法により*DSM*に対応
- ◆ タイム・ステップとイベント・ドリブンを融合
- ◆ 1,000万素子のシミュレーションに対応

ADVance™ Artist

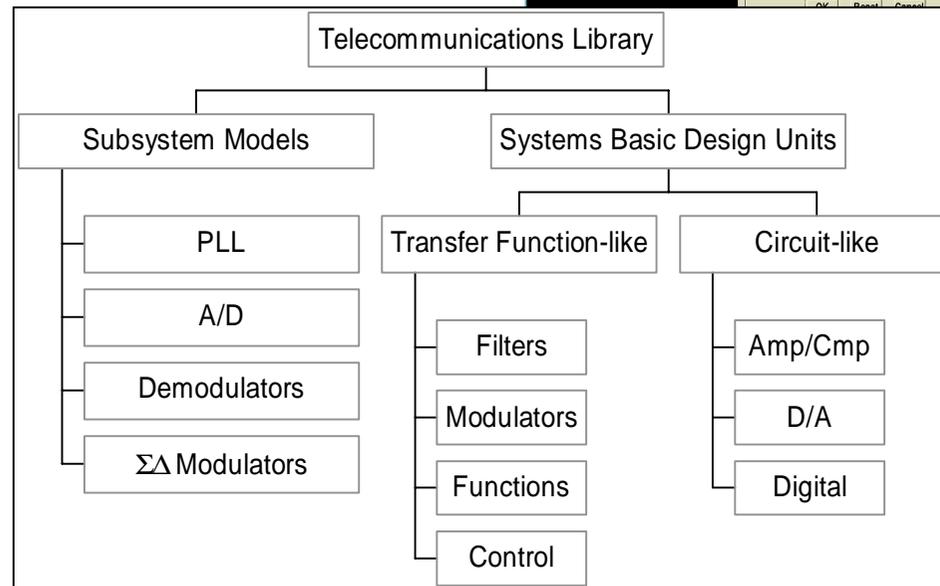
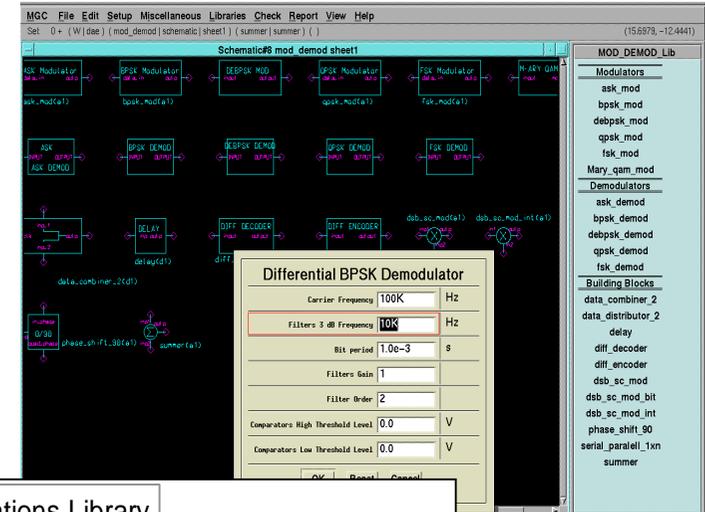
◆ Analog Artistとのインテグレーション

- メニューの追加
- テスト・ベンチ・デバイス
- ビューイング・コマンド
- 複数のビューワのサポート
- ポスト・プロセッシングの追加
 - 1dB point、IP3...



CommLib™ - アナログ・シミュレーションIP

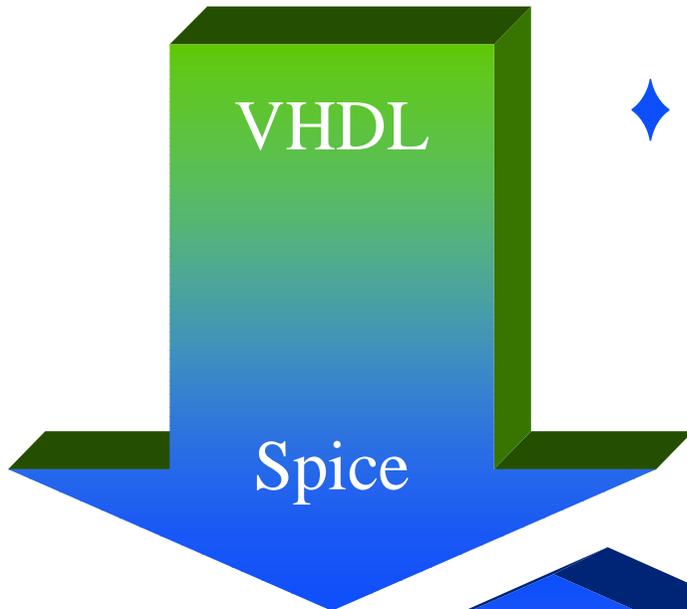
- ◆ 再利用可能な言語による
テレコミュニケーション用ライブラリ
- ◆ パラメトリックに特性を変更可能
- ◆ 260種類以上の
パーツをサポート



Conclusion



言語による設計手法



◆ トップダウン設計

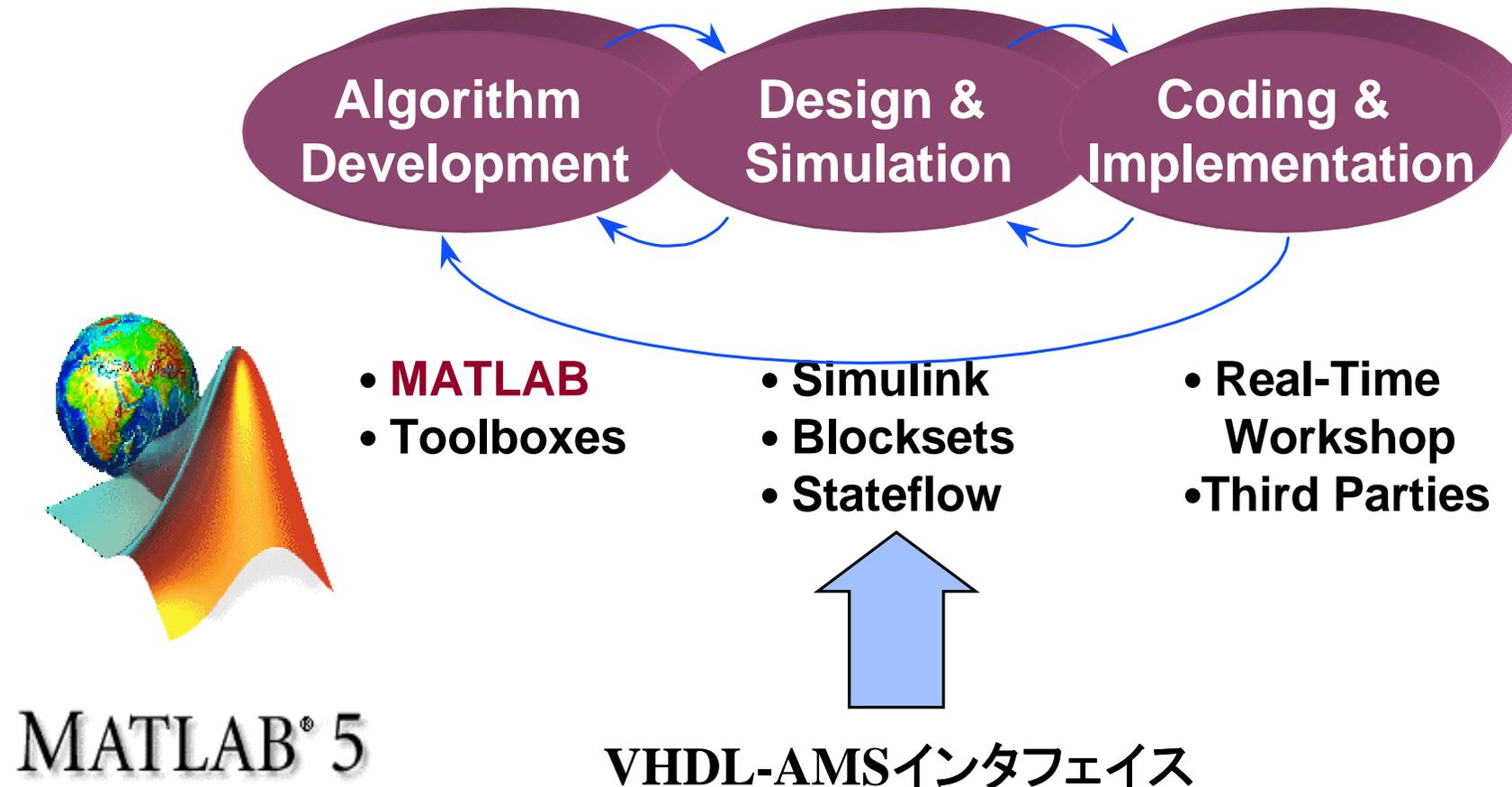
- システム記述
- 大きな “D” 小さな “a”
- 最新の設計手法



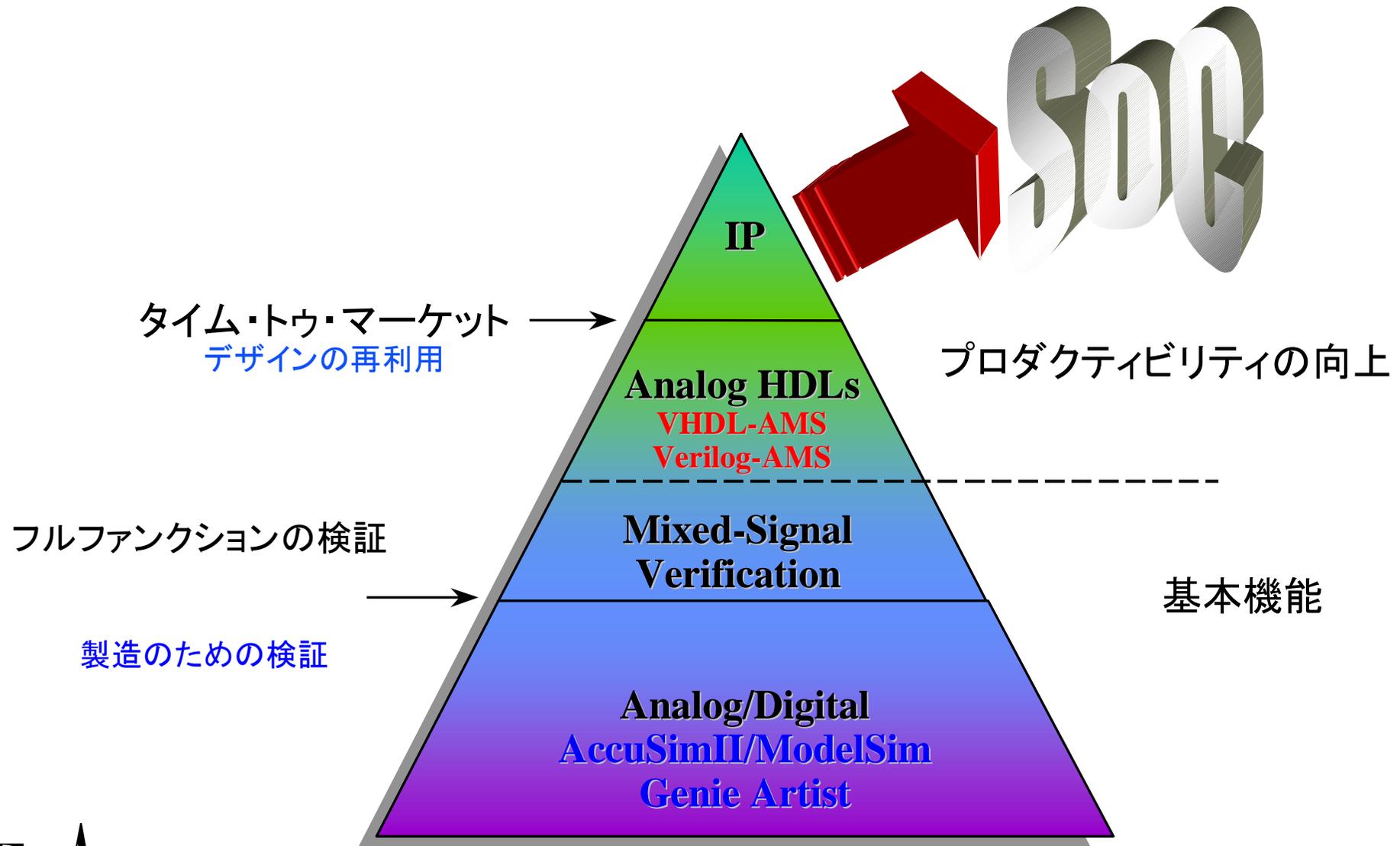
◆ ボトムアップ設計

- トラディショナルな *Spice* 手法
- ビヘビアル記述によりシミュレーションの高速化

よりシステム設計へ...



システムLSIからシステム・オン・チップへ



最後に...

Mentor Graphics Corporationからのメッセージ



◆ *Eldo is world class technology*

- *Strong technology platform for MGC A/M-S Solution*
- *Deliver Highest performance and accuracy*
- *Support standard and proprietary device models (e.g Bsim3)*

◆ *Extension to advanced simulation technology*

- *RF IC analog simulation*

◆ *Established leadership position in MS HDLs*

- *Leverage ModelSim digital HDL strength*
- *Leverage Eldo as behavioral solver*
- *A/M-S IP for Top down design with Commlib*