

EDA TechnoFair 2000

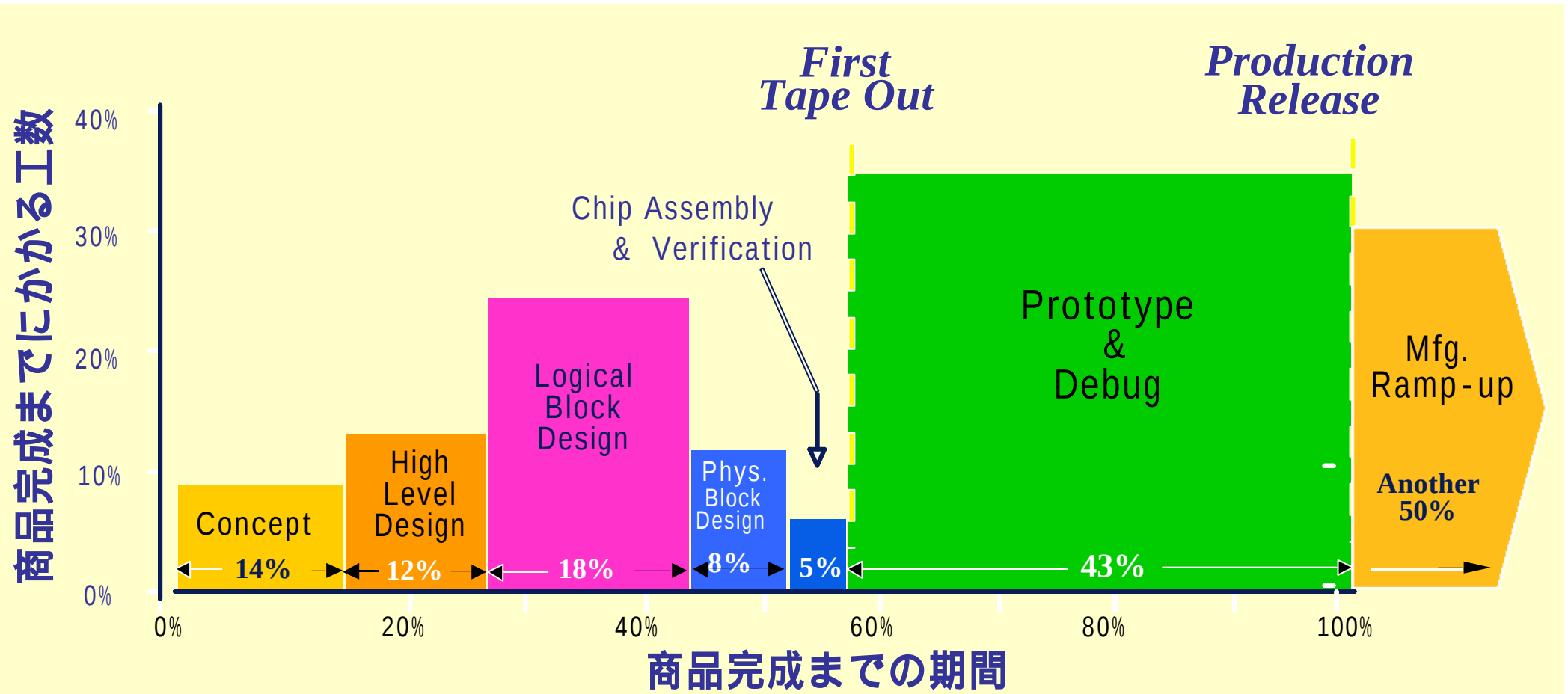
VIVACETM

ハードウェア・エミュレータでのハード/ソフト協調検証

**Mentor
Graphics[®]**

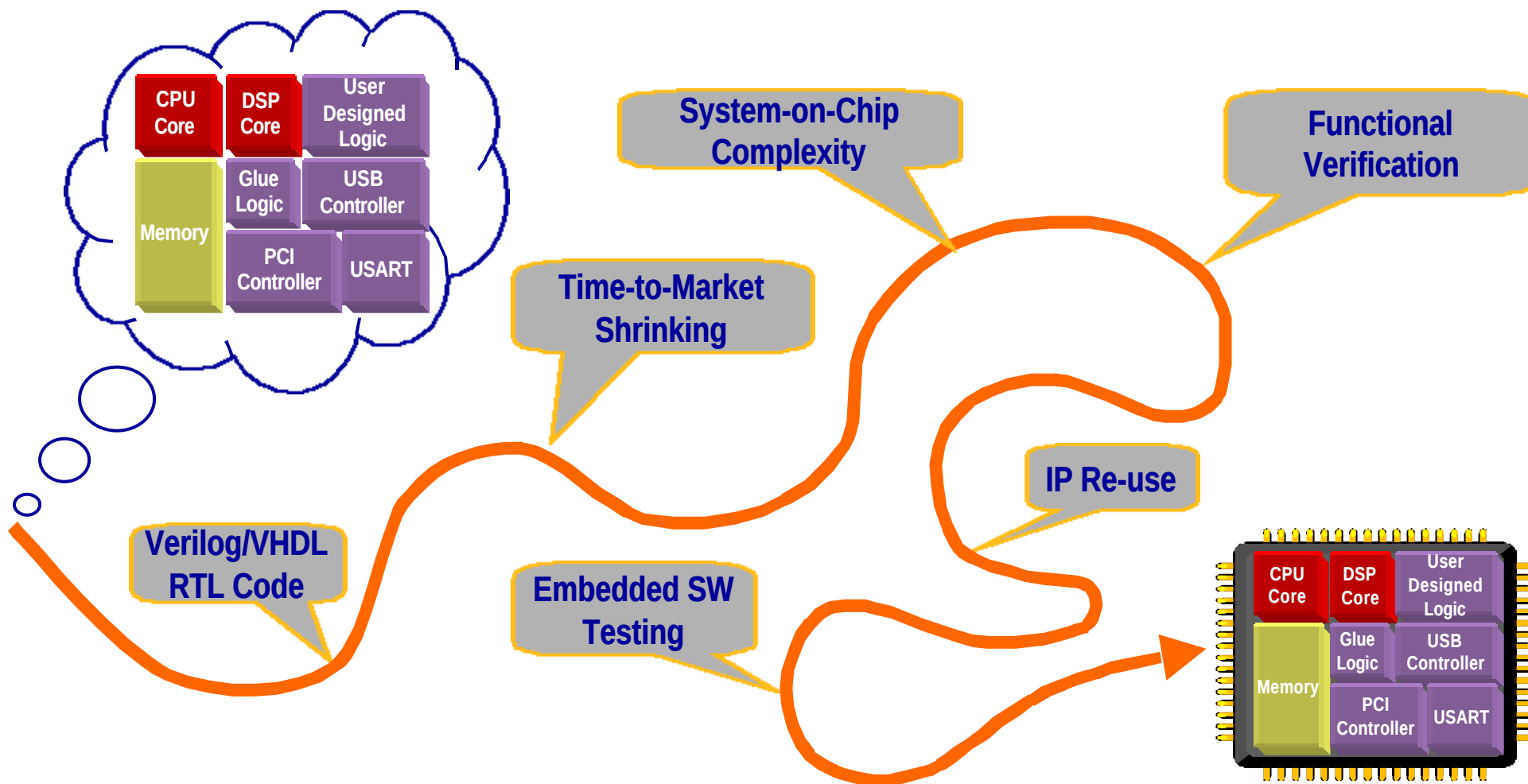
どこを改善しなければならないか

1997年度の緊急度の高い21のプロジェクトの平均的設計サイクル



Source: Collett International Inc., Design Productivity Management System™

SoC実現に向けてのチャレンジ



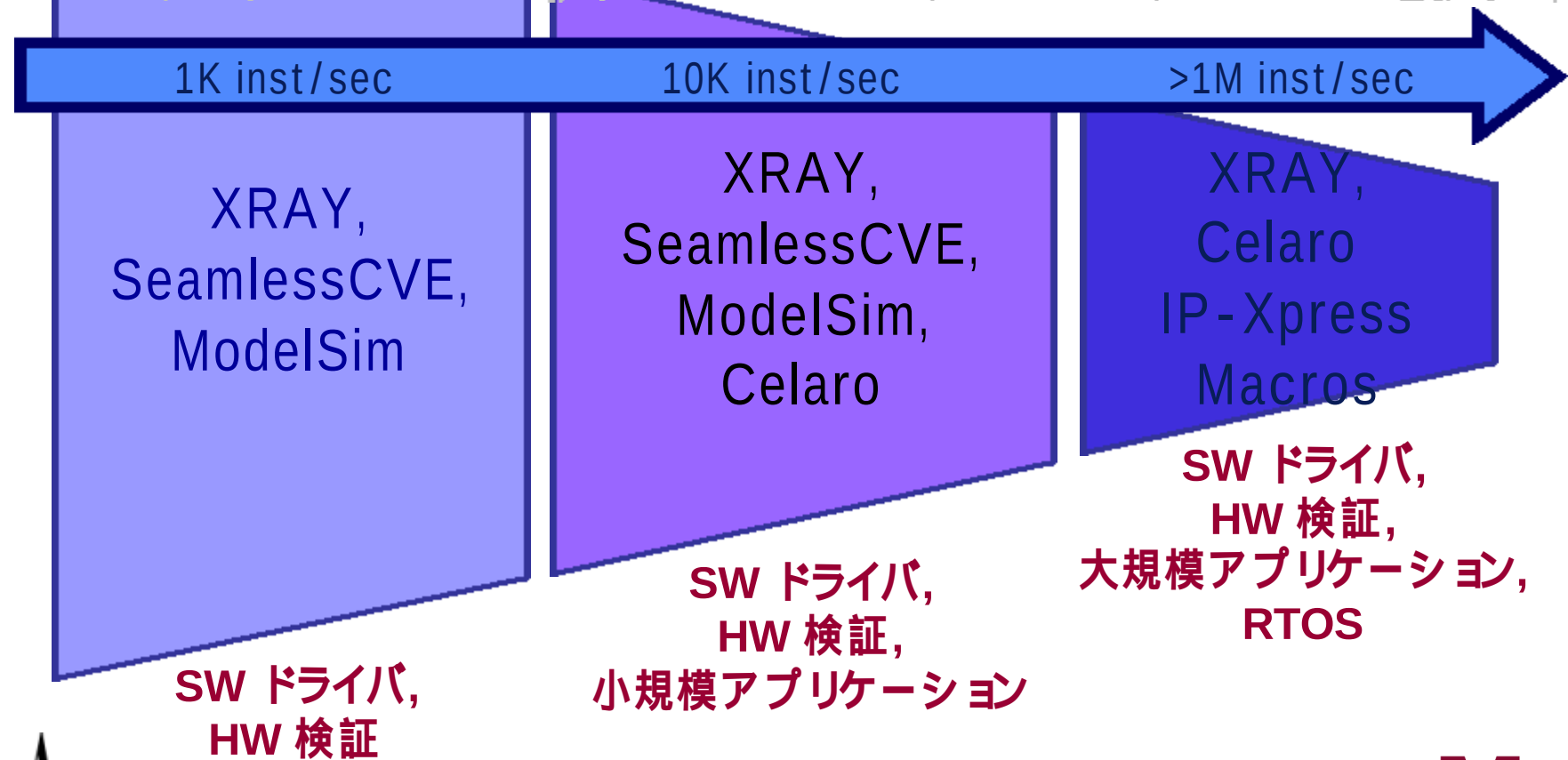
バーチャル・システム・プロトタイピングの重要性

- ◆ 統合されたハードウェア・ソフトウェアの検証およびデバッグ環境であること
- ◆ 早期プロトタイピングが可能であること
 - 社外IPを含めた構成の検討が可能
 - 完全なアプリケーションソフトウェアの検証
- ◆ 導入によるメリットは：
 - Time To Marketを早める
 - 設計サイクルの早い段階(RTL検証)でデバッグを実施
 - より多くの検証内容での品質の向上が望める
 - コストの削減
 - LSIの作り直しを減らす

メンターグラフィックスのみが完全なソリューションをご提供いたします

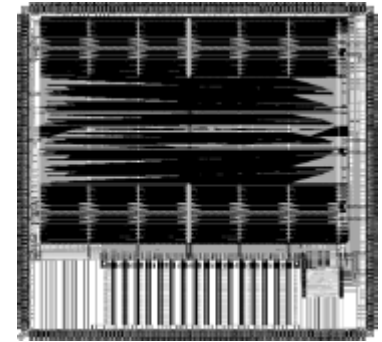
HW-SW 検証への挑戦

メンター・グラフィックスのみが統合されたスケーラブルなソリューションを提供致します



Celaro -チップそのものが小さなエミュレータ

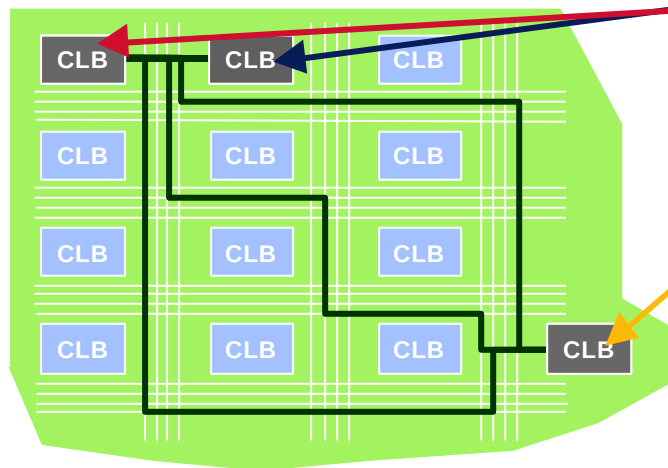
- ◆ カスタムのエミュレータチップ (AVC Chip)
 - 768の論理ブロック (CPB)
 - 224 I/O、352 pinsの PBGA
- ◆ マルチポートRAMモジュールを内蔵
 - 256 words X16 bits, 8 read/write
 - 同期/非同期
 - ビット単位の書き込み制御
 - フラッシュクリア
- ◆ デバッグに必要な機能も搭載
 - 全CPBにマルチSCANチェーンでアクセス
 - これにより全ノードの読み書きを実現



Celeroが誇る高速なコンパイル

◆ 市販のFPGA

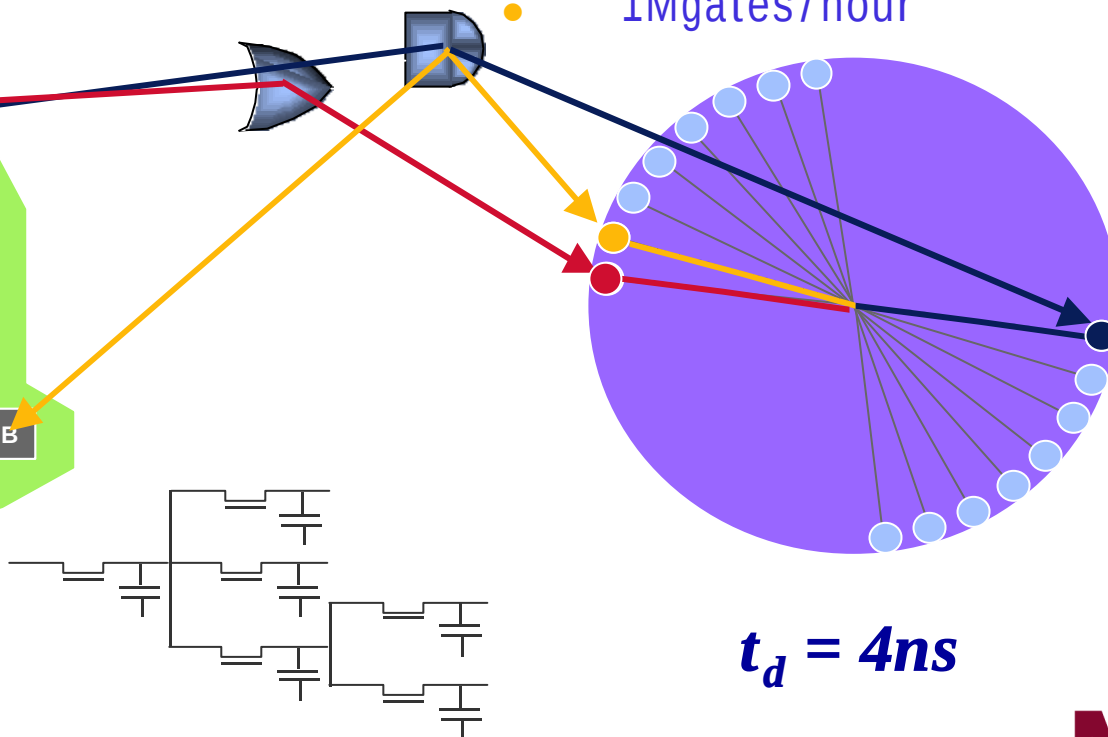
- シビアな配置制約
- 複雑な配線
- 予測不可能なタイミング
- 長いコンパイル時間
 - 10K gates/hour



$$t_d = f(\text{cap_load})$$

◆ Celeroのアプローチ

- 配置に関する考慮不要
- 単純な配線
- 予測可能なタイミング
- 短時間のコンパイル
 - 1M gates/hour

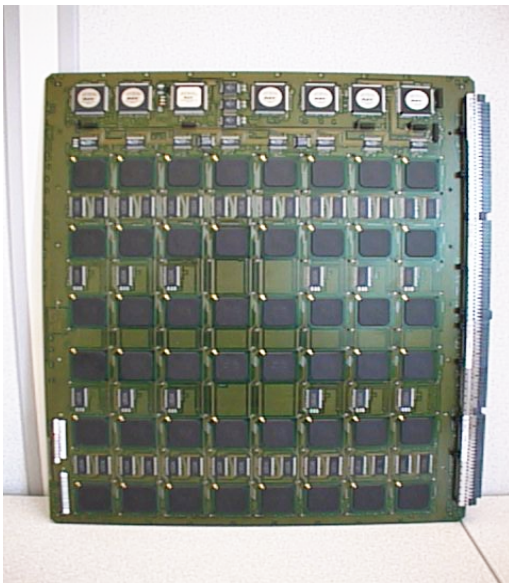


$$t_d = 4ns$$

コアボード: 2つのメインボード

◆ AVB (Accelerated Verification Board)

- 最大135Kゲート
 - 平均40kから60kゲート
- 44 エミュレーションチップ
- 44 トレースメモリー



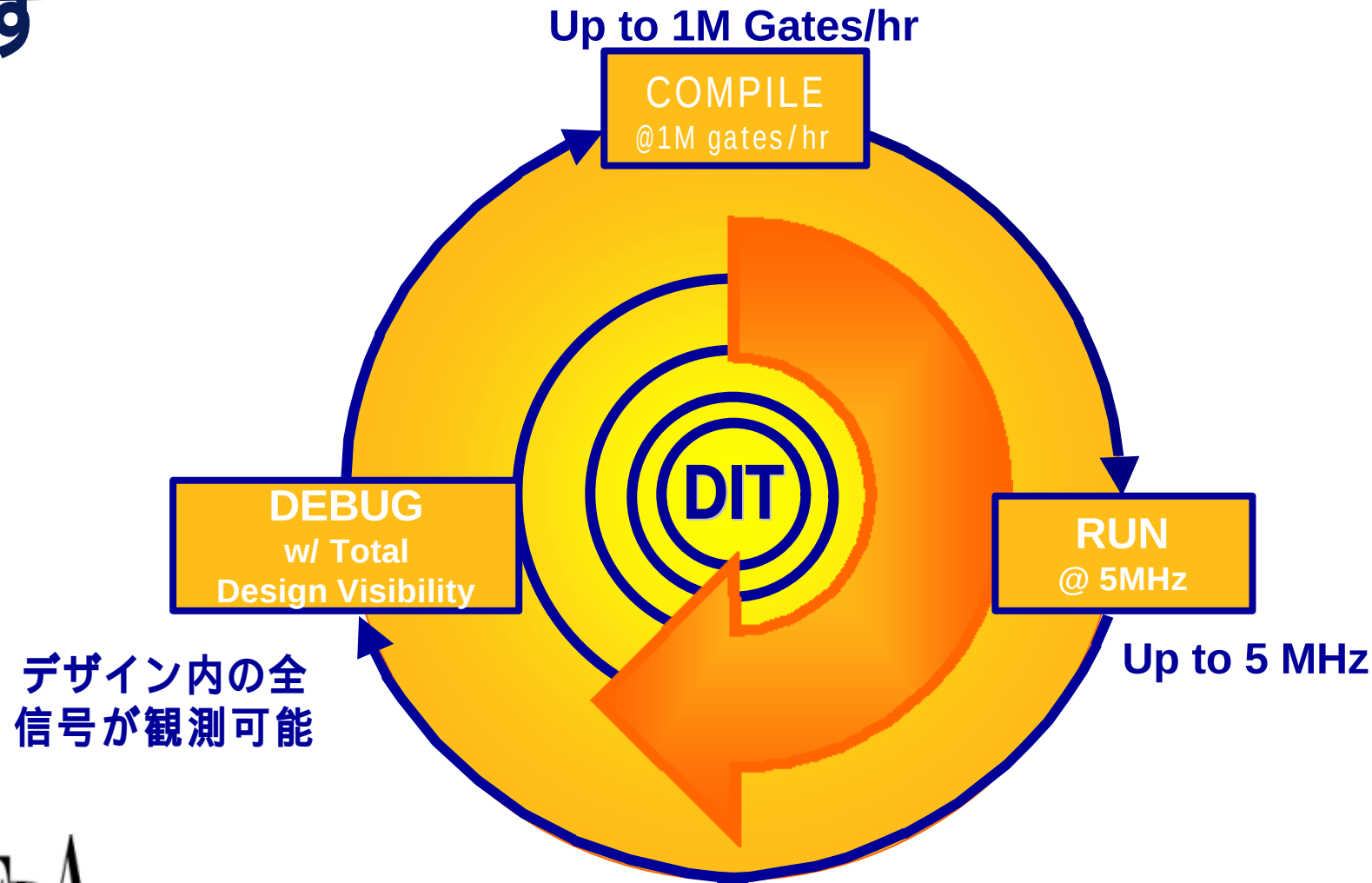
◆ GPB (General Purpose Board)

- 17 コネクタ
 - 1056 I/O
 - クロック及びコントロール信号
- Peripheral/Daughterボード
 - プローブボード
 - メモリーボード(32M)
 - I/Oボード(352 双方向 I/O ピン)
 - カスタムボード



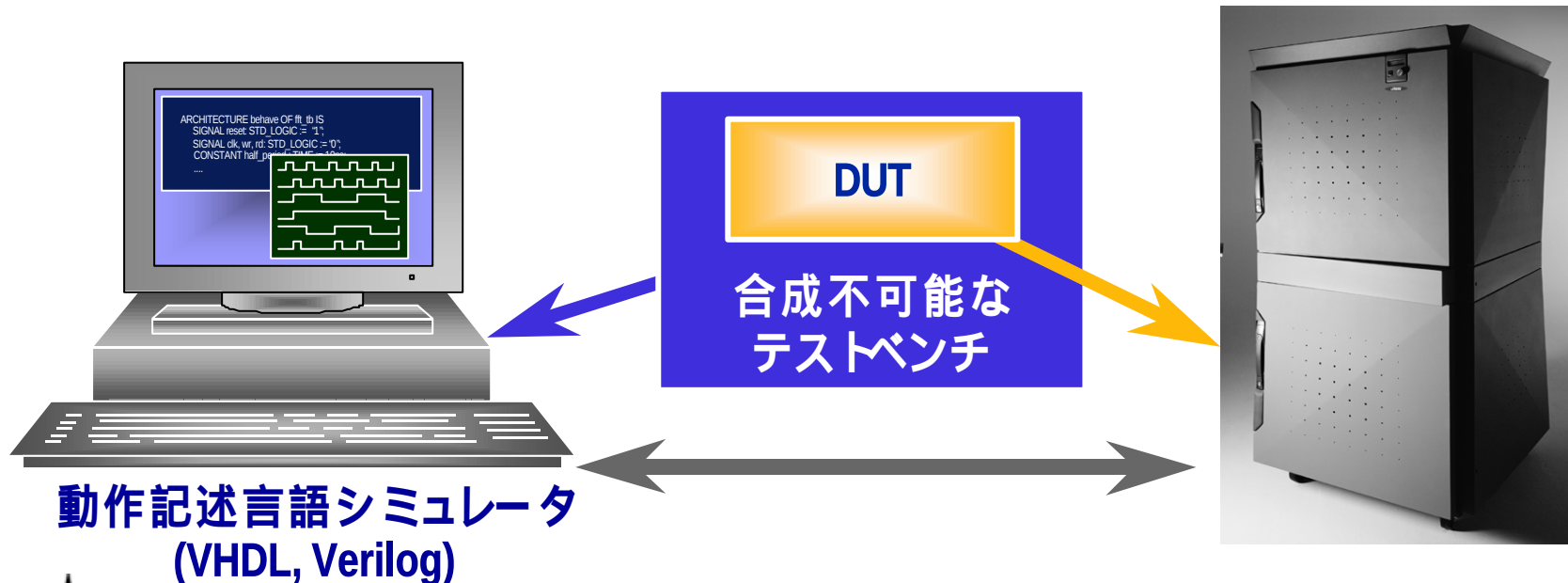
Celaro は一日に複数回の デザイン・イタレーションが可能で

す

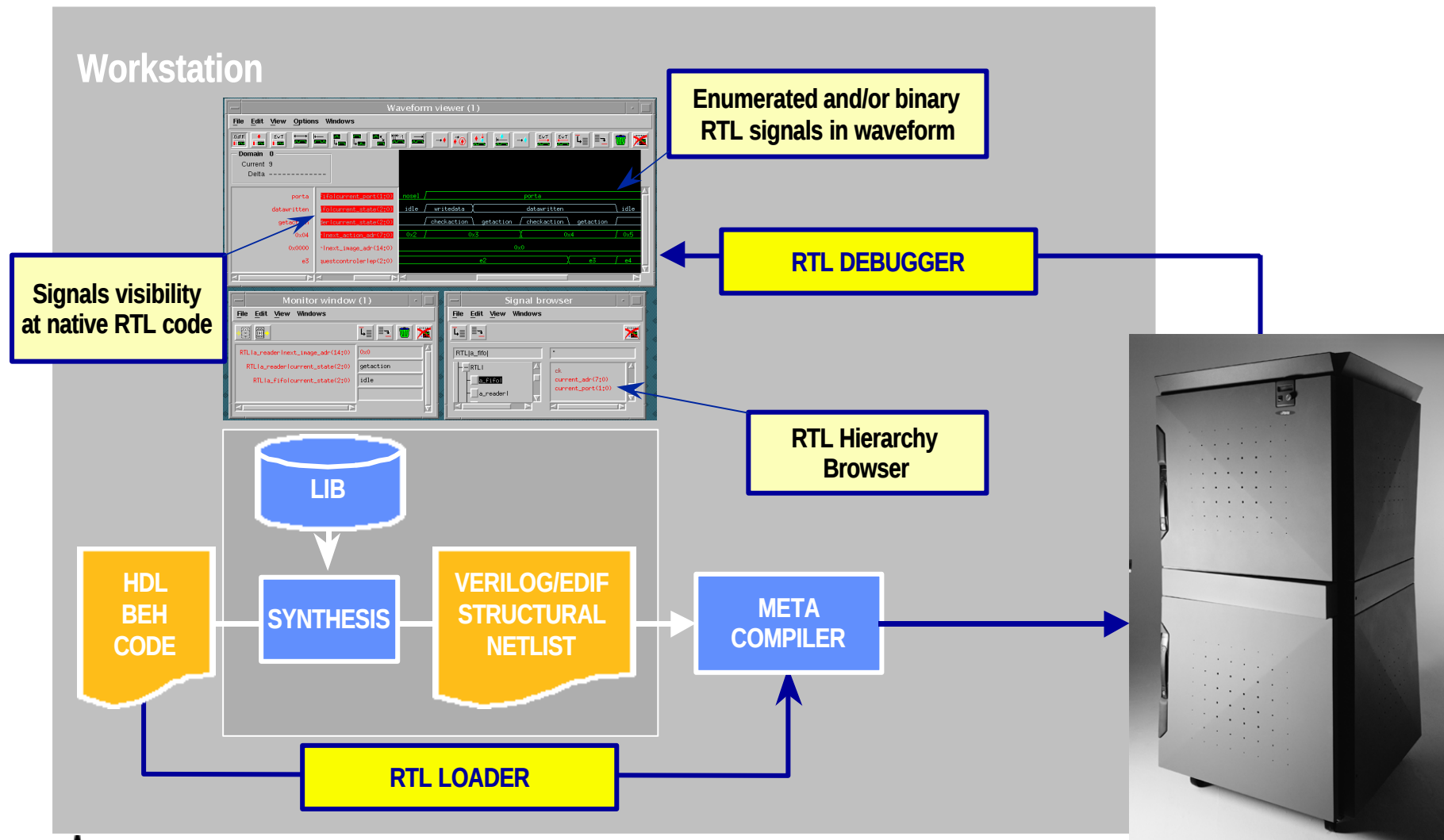


HDL Co-Simulationモード

- ◆ デザインデータはエミュレータにダウンロード
- ◆ 非合成なVHDLやVerilogのテストベンチはワークステーション上でシミュレーションし、APIを介してエミュレータと接続
- ◆ シミュレータの操作環境で実行
- ◆ 検証スピードはデザインサイズとシミュレーション側のスピードに依存

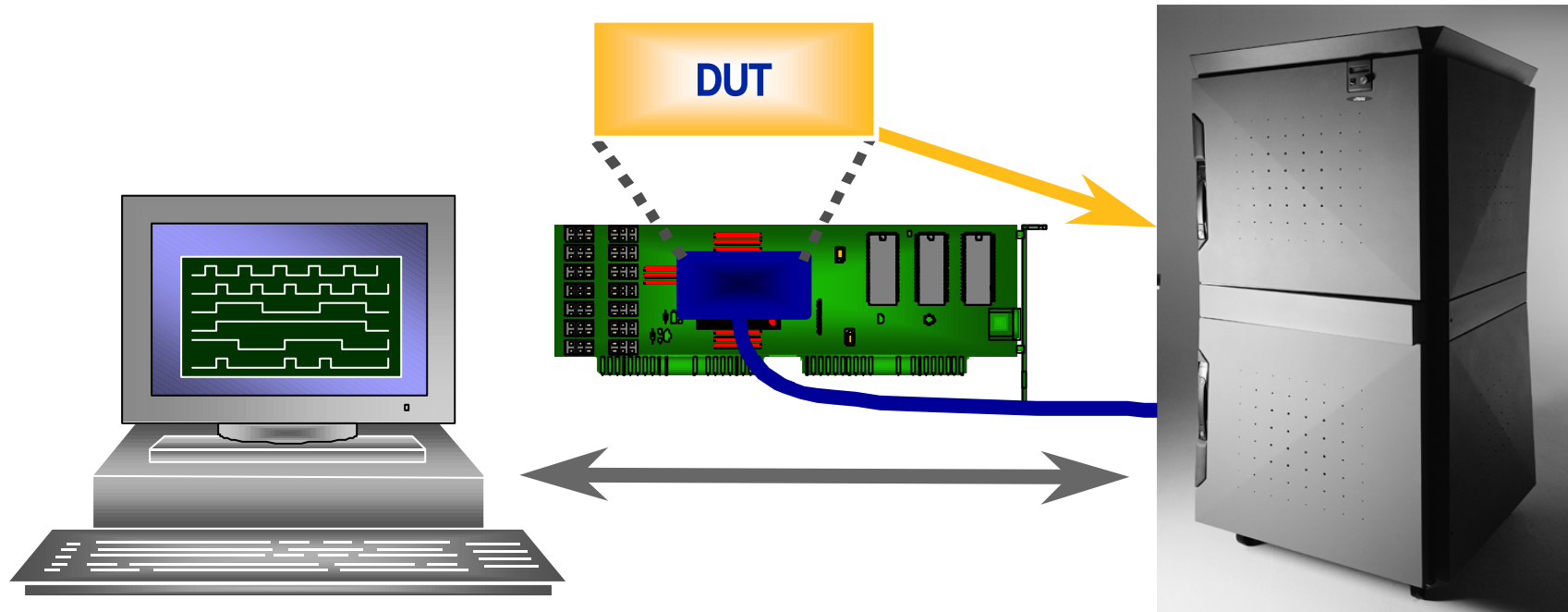


RTLの高速検証モード



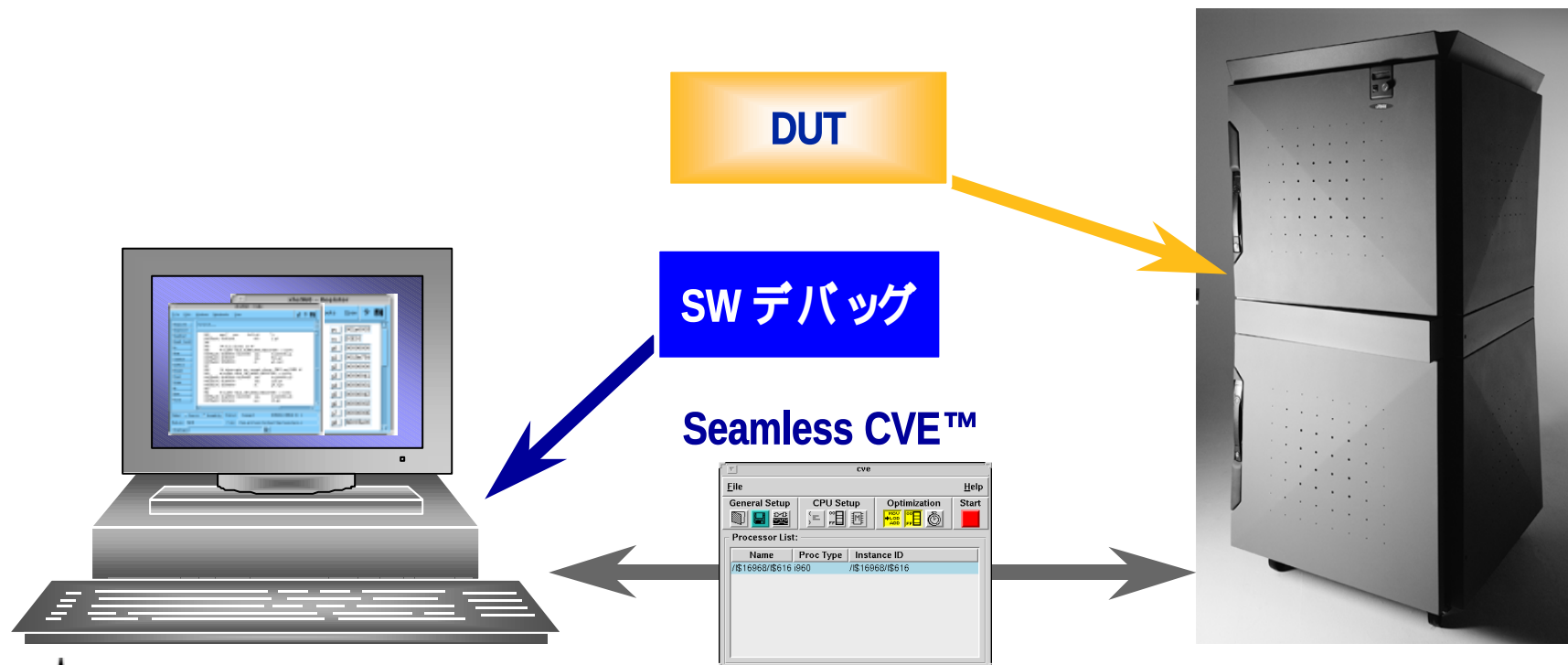
システムインテグレーション及び検証: インサーキット検証モード

- ◆ デザインデータはエミュレータへダウンロード
- ◆ エミュレータをターゲットシステムに接続
- ◆ ターゲットシステム上でエミュレーション速度で動作確認
- ◆ ターゲットシステムがエミュレータ上のデザインをドライブ



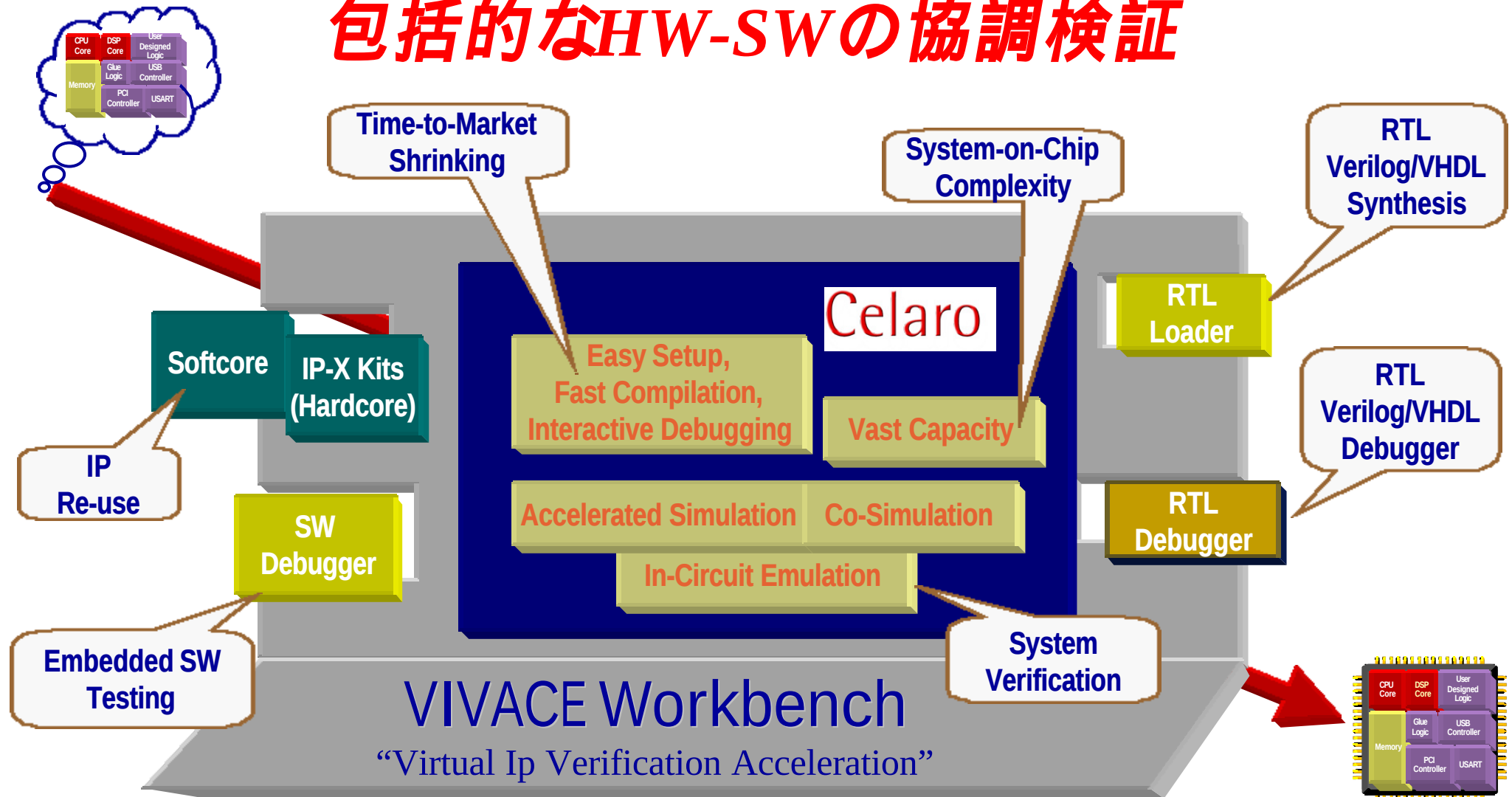
ソフトウェア検証モード

- ◆ デザインデータをエミュレータにダウンロード
- ◆ Seamless CVEを介しソフトウェアの検証環境と接続
- ◆ SWとHWの検証を、それぞれの環境のまま同時にデバッグ



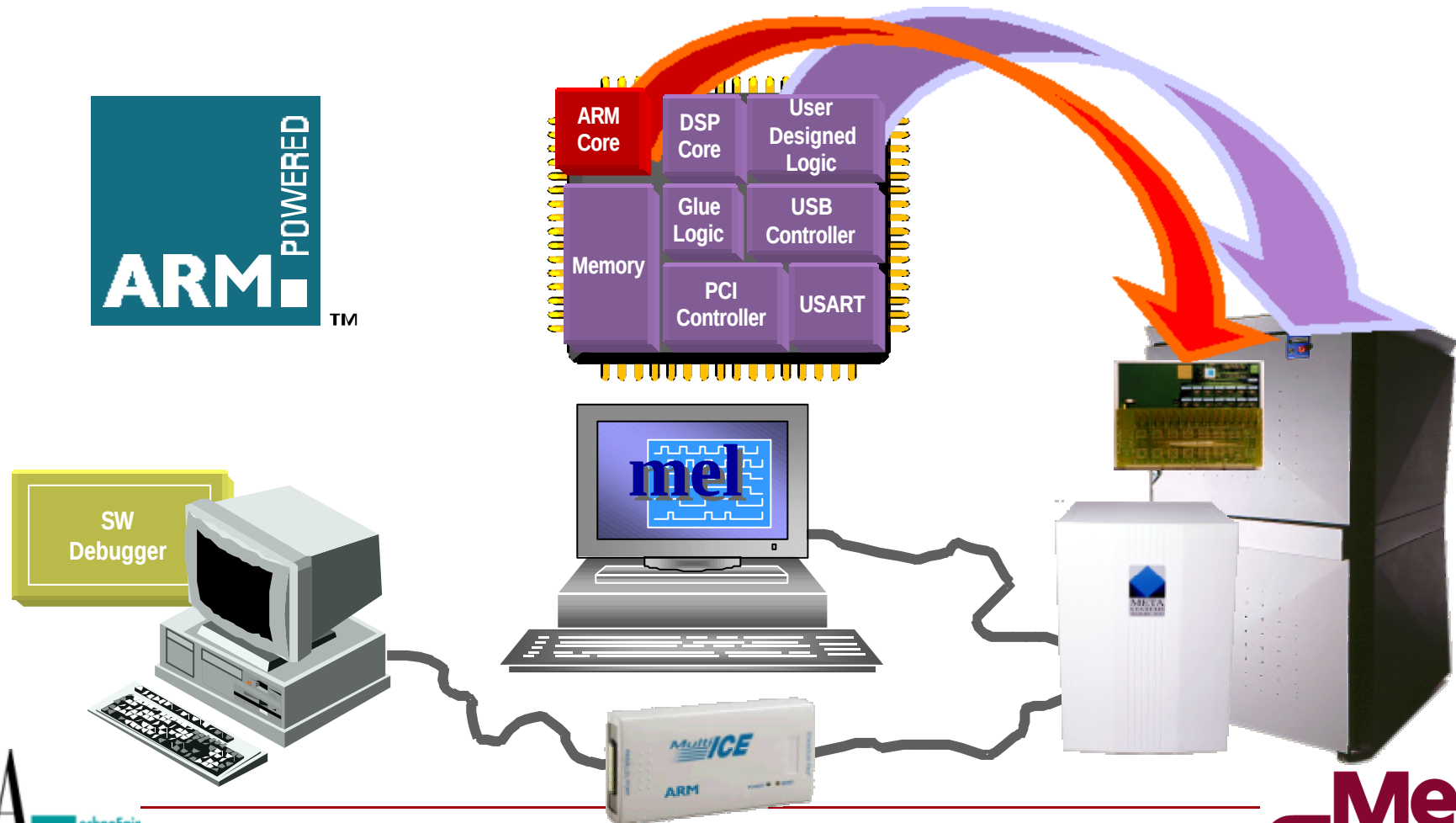
VIVACE: Virtual SoC Prototyping

包括的なHW-SWの協調検証



100万インストラクション/secの 実行が可能なソリューション

- ◆ メンターのハードウェア・エミュレータとARM7,ARM9のテストチップにより100万インストラクション/secの検証環境が高い精度で提供できます

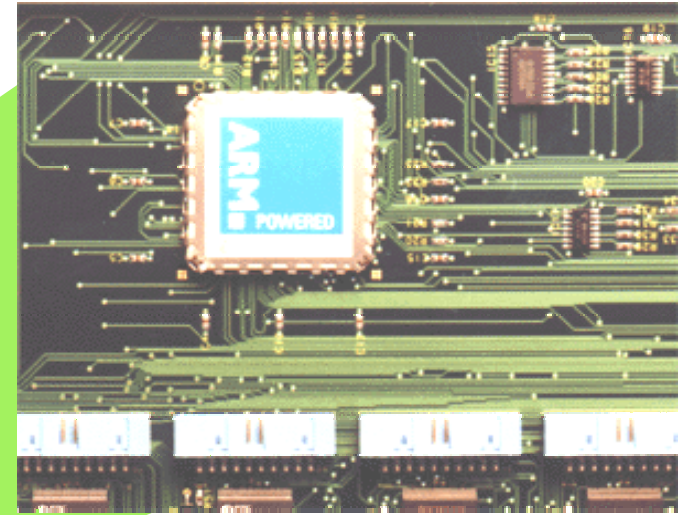


VIVACE I: Advanced Virtual IP Prototyping *ARM7TDMI*



- ◆ 完全なハードソフト検証環境
 - ソフトウェア開発およびデバッグ
- ◆ ハイ・パフォーマンス
 - 100万命令 / 秒での実行
- ◆ Celaro内にARMを取り込む
 - Multi-ICE™へのJTAGインターフェイスを備えたボードにテストチップをマウント
 - ユーザデザインはRTL/Gateレベルからエミュレータへマッピング

The ARM IP-Xpress Kits



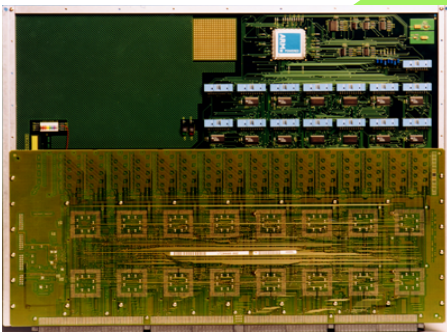
◆ Kit Contents

- ドーター・ボード上にARMのテストチップを実装
- トップレベル・ネットリスト
- マルチICE からのアクセス可能

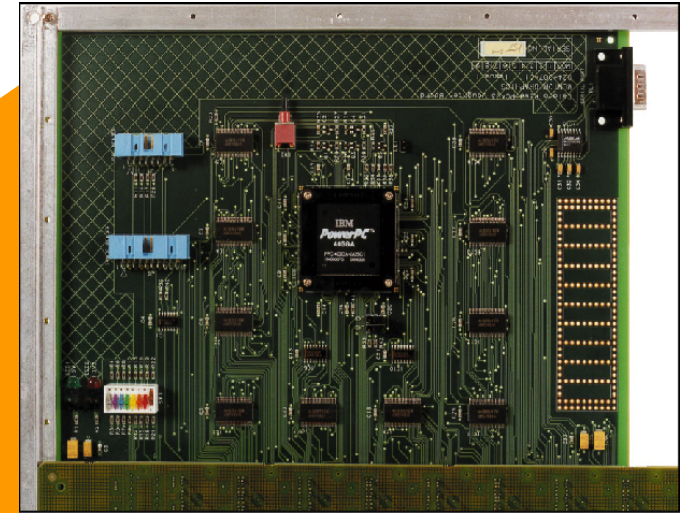
◆ SimExpress/Celaroでサポート

◆ Nokiaで実設計に適用済

◆ ARM7TDMI、920T、940T、9TDMIの 4品種に対応



The PPC IP-Xpress Kits

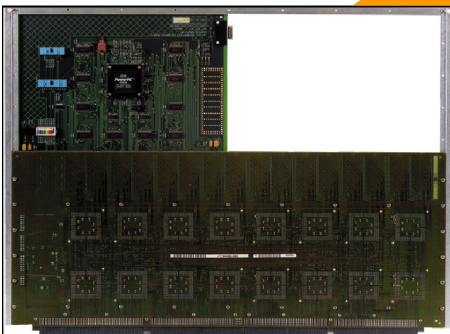


◆ Kit Contents

- ドーター・ボード上にPowerPCのテストチップを実装
- トップレベル・ネットリスト
- JTAGのインターフェイスを通じてのアクセス可能

◆ PPC IP-Xpressにカスタムのボードも接続可能

◆ PowerPC 403GA、403GC、403GCXに対応



VIVACE V: Advanced Virtual IP Prototyping

ARC Support



- ◆ 完全なハードソフト検証環境
 - ソフトウェア開発およびデバッグ
- ◆ ハイ・パフォーマンス
 - 100万命令 / 秒での実行
- ◆ Celaro内にARC を取り込む
 - ARCのネットリストをCelaro上のAVBにマッピング(Softcore)
 - POD I/F からSWデバッグ環境に接続

VIVACE IP Evolution

今後のリリースは.....

- リリース済 ■ Vivace I - ARM7
- ◆ Vivace II - TI 6202
- リリース済 ■ Vivace III - ARM9
- リリース済 ■ Vivace IV - PPC403
- リリース済 ■ Vivace V - ARC
- ◆ Vivace VI - ST100
- ◆ Vivace VII - STAR
- ◆ Vivace VIII - OAK



メンター・グラフィックスは バーチャル・システム・プロトタイピングの 新たな標準を提供致します

Critical Mission= **VIVACE**

- 最も完全なソリューション
 - ベストイン・クラス Celaro テクノロジ
 - 最短の開発期間で商品化
 - 既に実品種に適用、実証済み