

メリット

- RTLでの精度の高いタイミング、面積の予測
- 数百万ゲート規模のSOCの設計、解析が対話的に行える
- クロスプローブ機能によるRTL解析機能
- 高性能IC設計におけるタイミング収束に費やす時間の短縮化
- ターン・アラウンド・タイムの大幅な短縮化、RTLサインオフ手法の提唱
- チップの利用効率、性能をあげるための自動ストラクチャード・カスタム設計手法
- 業界をリードするゲートレベル論理合成ツール、配置配線ツールとの統合による、既存設計ツール・フローなどの資産の活用
- 0.18 μ 以下のプロセスのSOCの複雑性に対応

概要

TeraForm RTL・デザイン・プランナは強力なスケラブルな設計システムであり、複雑なディーブ・サブミクロン(DSM)システム・オン・チップ(SOC)を設計するために使用されます。TeraFormは大幅に設計のターン・アラウンド・タイム(TAT)を短縮し、LSIの性能を向上させ、RTLサインオフを可能にいたします。

論理設計者はTeraFormを使用してRTLで設計を行いながらチップレベルでのwhat-if解析を開始します。この解析がバーチャル・プロトタイプ解析としての意味を持つのは、TeraFormが物理レベルでのインプリメンテーションを考慮した正確なモデルを使用している為です。

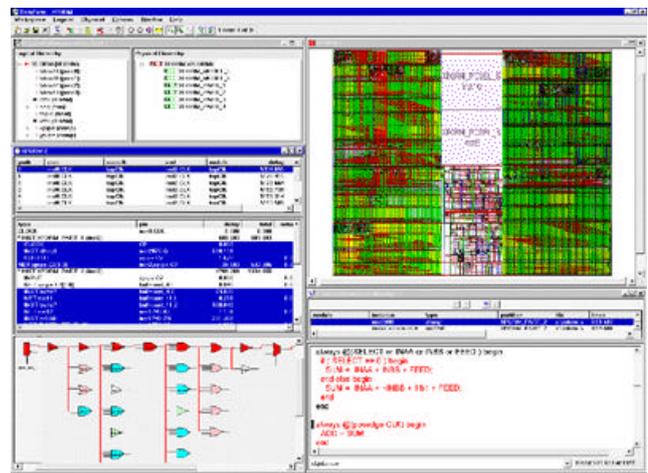
シリコン・バーチャル・プロトタイプをもとにTeraFormはチップのタイミングを収束させるために、論理合成ツール、ゲートレベル配置配線ツールへの設計制約条件(詳細タイミング、フロアプラン、配線容量など)を自動的に生成いたします。

TeraFormはデザインの抽象度をRTLまで引き上げ、設計者が対話的スピードで数百万ゲートのチップの解析と最適化を可能にし、また0.18 μ 以下のプロセスの複雑性にも対応いたします。高性能なTeraFormのアルゴリズムはSOCでの性能と面積のトレードオフに対して最適解を提供いたします。

正確な面積とタイミングの予測、そしてデザインのビジュアル化機能は、ゲートレベルまで下がることなく、設計者にRTLでのマイクロ・アーキテクチャーの検討を可能にいたします。

RTLサインオフATCフロー

TeraForm自動タイミング収束フロー(ATC)は、設計者の生産性とチップの性能を大幅に上げるRTLサインオフ設計手法のコアテクノロジーです。



TeraFormはストラクチャード・カスタム設計手法を自動化し、従来のASIC設計手法に比べチップの使用効率、性能の大幅な向上を達成いたします。スクリーン・ショットではハードIP、データバス、ランダムロジックが混在したデザインで、TeraFormに組み込まれたスタティック・タイミング解析ツールがチップのワーストケースのクリティカル・タイミング・パスをRTLでハイライト表示しています。

TeraFormATC フローは下記の重要なテクノロジーを含んでおります。

- RTL 面積、タイミング予測
- 自動RTLパーティショニング
- 面積、タイミング・バジェット設定
- チップレベル・フロアプラン
- 配線予測
- デザインマネージメント

TeraForm への入力は論理合成可能なRTLと業界標準フォーマットのチップレベルでの制約条件です。

TeraForm のデータベースは数百万ゲートのデザインを扱うことができ、論理データから物理データまで含みます。TeraForm はチップの論理階層をチップレベルの面積とタイミング制約条件を考慮し、最適な物理階層にパーティショニングをいたします。

デザイン・パーティショニングはスネークパスを減少させ、ゲートレベルのタイミング収束を可能にするATCフローにとって重要な要素です。TeraForm ではパーティショニングを自動かマニュアルで行います。特許申請中のヘリスタック自動チップ・パーティショニング・テクニックを使用することにより、従来のシーオプセル・タイプのASICより動作スピードが早く、チップの使用効率の良いストラクチャード・カスタム方式でのインプリメンテーションを実現いたします。

TeraForm は物理層でのパーティショニングによりフロアプランと予想配線を作成します。優れたヒューマン・インターフェイスにより論理設計者はRTLでの決定がチップのパーティショニング、タイミング、面積にいかにか影響を与えるかを自らがレイアウトの専門家にならなくても評価することが出来ます。

TeraForm は業界大手の論理合成ツール、配置配線ツールに対して業界標準フォーマットのパーティションで切られたRTL、そして論理合成ツール、配置配線ツール用の制約条件を出力いたします。

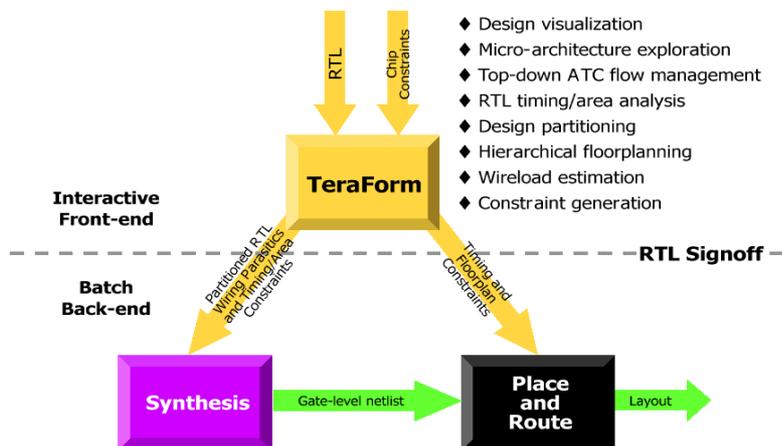
このことは既存のトップダウンの設計環境を維持したまま、RTLサインオフ設計手法が実現出来るということです。

機能サマリー

- 論理合成可能なRTLでの入力
- 数百万ゲートSOCの設計が対話的なスピードで可能
- RTLでの正確な面積とタイミング予測は設計の早い時点でのwhat-if解析を可能にする。
- チップ全体に対する自動パーティショニングはチップの面積とスピードを改善する。
- 自動のデザイン・バジェット設定はチップの性能を改善する。
- 自動のタイミングドリブン・フロアプランはRTLシリコン・バーチャル・プロトタイプを作成する。
- 強力なビジュアライズ機能はRTLマイクロ・アーキテクチャーでの最適化を可能にする。
- ゲートレベルでのタイミングを収束させる為に、正確な配置ベースの配線容量とフロアプラン制約条件を出力する。
- 統合データベース、プロセジュアル・ランゲージ・インターフェイスは設計者の生産性を向上させる。
- 動作マシン環境：Unix、WindowNT

お問い合わせ先： エス・シー・ハイテク株式会社 営業部 中山

〒222-0033 神奈川県横浜市港北区新横浜2丁目5番5号 TEL：045-476-7938 FAX：045-476-7940



ATC タイミング収束フローは既存の論理合成ツール、配置配線ツールなどのトップダウン設計ツールと協調し、ゲートレベルのタイミングの収束と、RTLサインオフ手法を確立する。