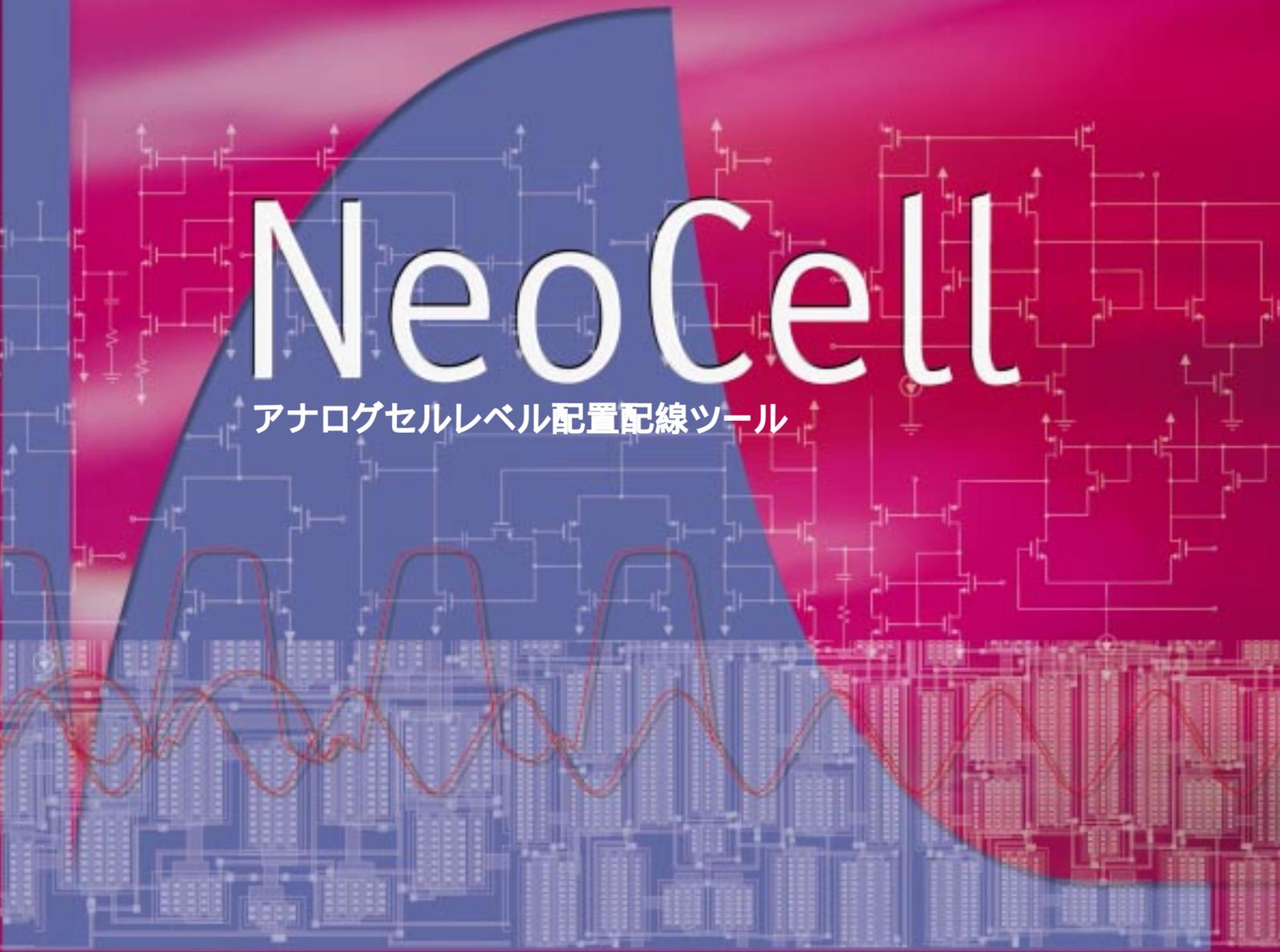


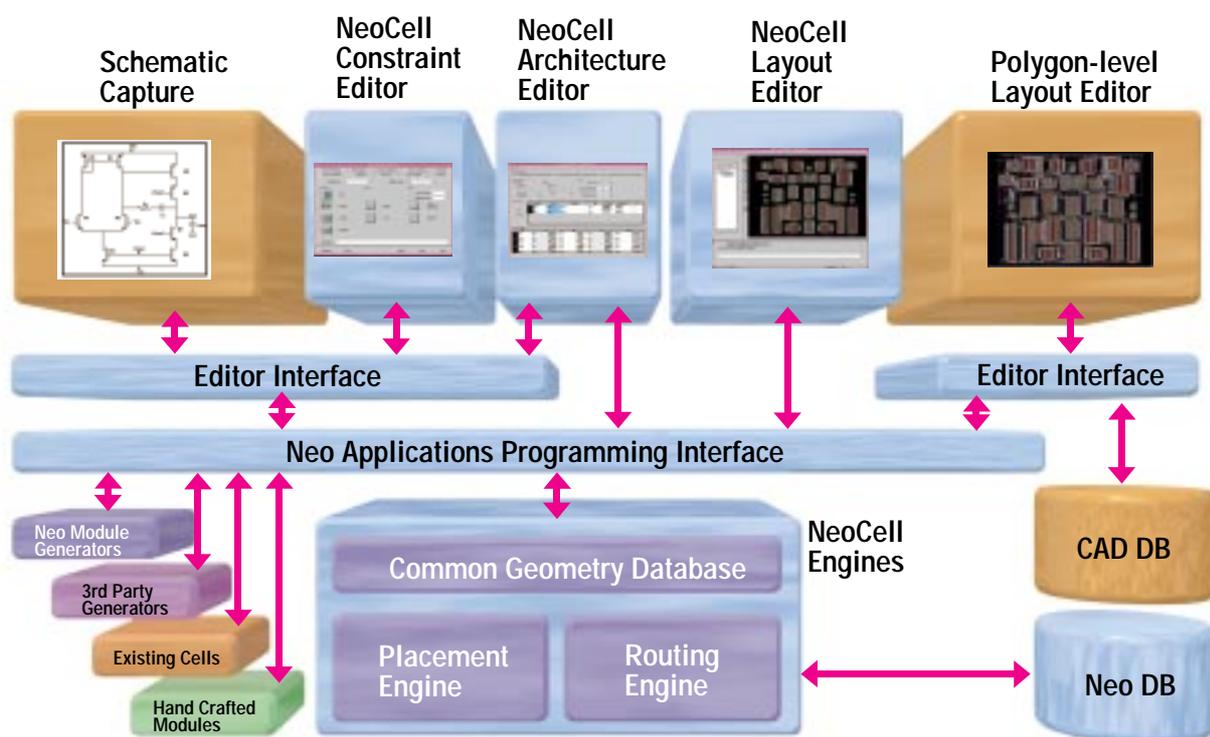
# NeoCell

アナログセルレベル配置配線ツール



# 『アナログセルレイアウト、自動化の時代へ』

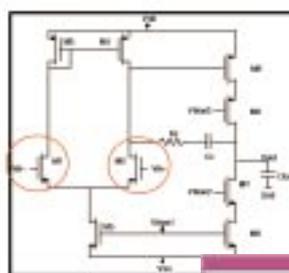
アナログ・デジタル混在設計では、アナログ部の設計自動化が立ち後れているため、デジタル部と比較すると一般的により多くの設計時間を必要とします。アナログ部の設計生産性を向上させるためには、設計者の意図するレイアウト制約を満たしながら、セル性能とレイアウト密度を両立する洗練された自動化ツールが必要です。NeoCellにインテグレートされたデバイスレベルの自動配置配線エンジン、対話型レイアウトエディタ、セルアーキテクチャエディタ、コンストレイントエディタは、熟練したレイアウト設計者に迫るクオリティで、アナログセルレベルのフィジカル設計に極めて生産性の高い環境を実現します。



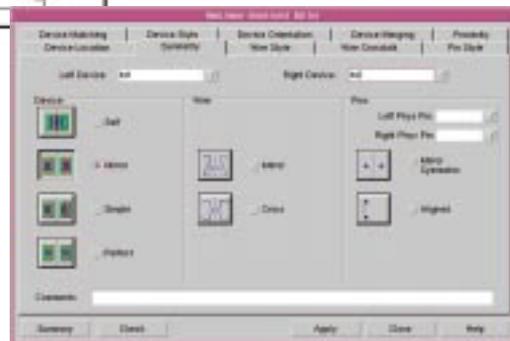
## NeoCell コンストレイントエディタ

アナログセルレイアウトに必要な制約条件の設定入力ツール  
テクノロジーに依存しない制約条件の設定  
各種制約は10種類のタブに分類され、きめ細かな設定が可能  
フィジカル制約や基本設定を回路図中の素子のプロパティとして保存  
競合する、または矛盾する制約条件のチェック機能( NeoLint )

NeoCellのコンストレイントエディタを使用して、セルの回路図にフィジカル制約や基本設定を入力します。例えばグループ化されたトランジスタの形状、方向を一致させる制約や、差動ペアの2つのトランジスタをシンメトリックに配置する制約など、アナログセルレイアウトにおいて注意すべき点をNeoCellに与えます。これらフィジカル制約は、制約を付加する対象( デバイス、ネット、ピン )を選択し、希望する制約のボタンを押すだけで簡単に設定することができます。多数の制約事項を設定した場合、制約条件の競合や矛盾が発生することがありますが、コンストレイントエディタの制約条件チェック機能( NeoLint )を使用することで、配置、配線の際にエラーとなる制約条件を未然に防ぐことができます。



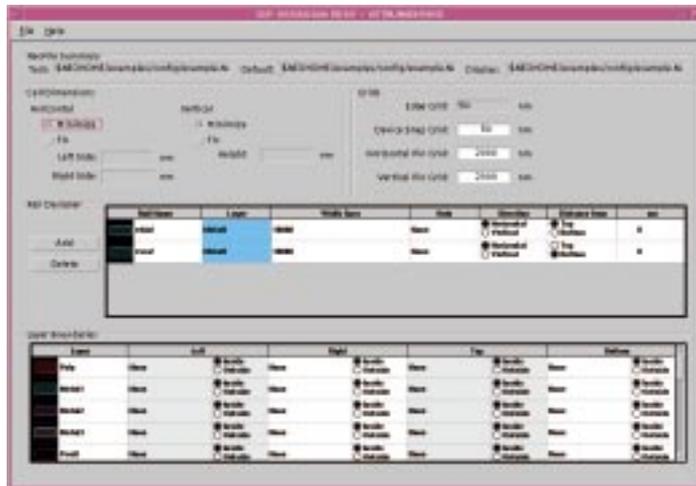
ここに示した例では、回路入力ツールでM1とM2の各トランジスタを選択して、下図のNeoCellコンストレイントエディタでミラー対称制約を与えています。



## NeoCell セルアーキテクチャエディタ

- セルのグローバルな設定入力ツール
- セルサイズの設定
- 電源用レールの設定
- セルのレイヤ境界の設定

セルアーキテクチャエディタでは、セルサイズやグリッドの指定、電源用レールなどセルのグローバルな設定を行います。セルサイズの指定では、セルの高さまたは幅の片方を固定し、他方を最小限に抑えるように指示することも、また高さや幅の両方を最小にするように指示することもできます。電源用レールの設定では、レールの位置や方向、レール幅や使用されるレイヤなど自由に設定することができます。また、セル内に複数の電源レールを設定することも可能です。セルのレイヤ境界の設定もこのエディタで行います。セルアーキテクチャ情報とフィジカル制約情報は、SPICE ネットリストに注釈として付加され、NeoCellの配置配線エンジンに引き渡されます。



## NeoCell プレーサ

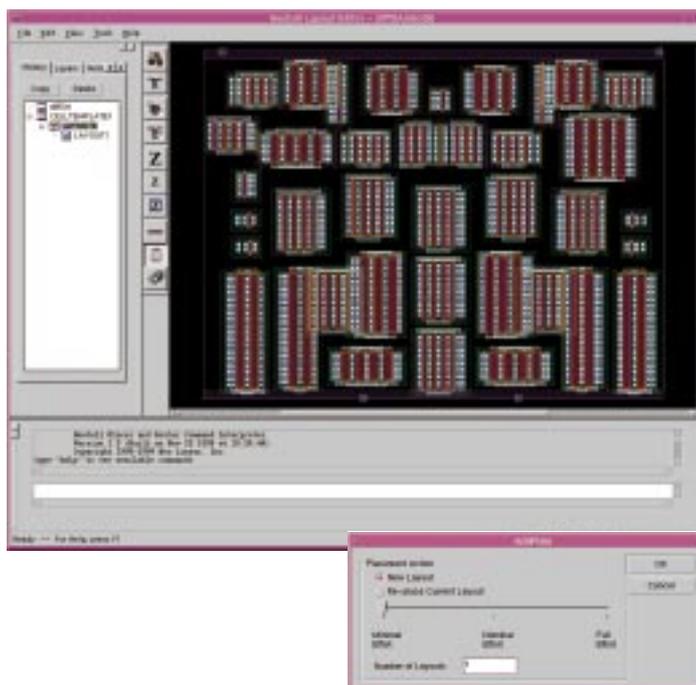
- デバイス及びピンの自動配置とインタラクティブ配置
- 与えられた制約を最大限に実現
- デバイスの幾何学的最適化

NeoCellのオートプレーサは、セルアーキテクチャ情報とフィジカル制約情報が付加されたSPICEネットリストを受け取り、複数の配置結果を生成します。その際、熟練したアナログレイアウト設計者が行うのと全く同様なトランジスタのマーキング、突き合わせといった幾何学的最適化を積極的に行い、コンパクトな複合素子を自動生成します。また、デバイスペアの対称性保持や、グループ化されたデバイスの形状、方向の合わせ込みなどと与えられたフィジカル制約情報をもとに、マッチング、性能、および密度を最大限に実現します。

## NeoCell レイアウトエディタ

- デバイスレベルエディタ
- リアルタイムDRC機能
- 回路入力ツールとのクロスプローブ
- 結線情報のダイナミック表示(フライライン)
- アライメント機能によるデバイスの整列
- ECOへの迅速な対応

NeoCellの配置結果に対し、必要に応じてデバイスレベルで修正を加えることが可能です。このインタラクティブな編集作業中でもフィジカル制約は保持されます。例えば、設計者が対称制約の付加されたデバイスペアの一方のデバイスを移動すると、もう一方のデバイスも自動的に移動するので対称性は完全に維持されます。また、編集作業中であっても設計ルールはリアルタイムにチェックされますので、設計者は容易に、短時間で最終的な配置結果を得ることができます。

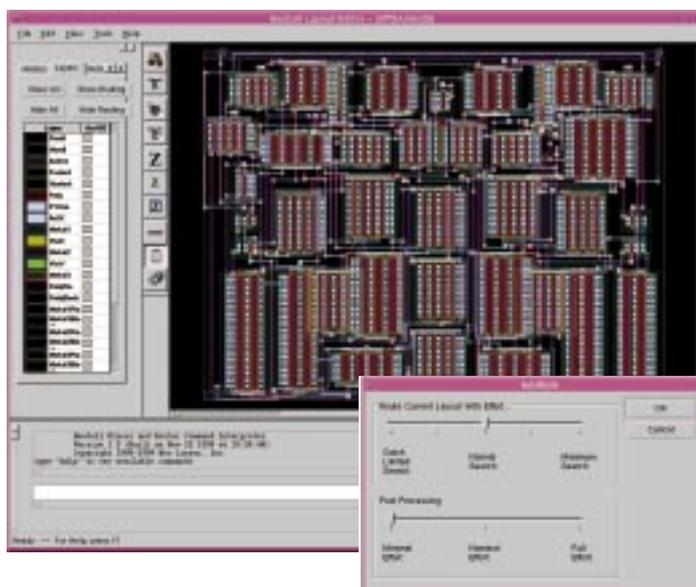


NeoCellのコンストレイントエディタは、レイアウトエディタからも起動することが可能であり、配置に必要な制約のみならず、モジュールジェネレータのパラメータ設定やネット幅の指定に至るまで、全ての設定を変更しその場でレイアウトに反映させることが可能です。従ってECOに対し迅速で柔軟な対応が可能となります。

## NeoCell ルータ

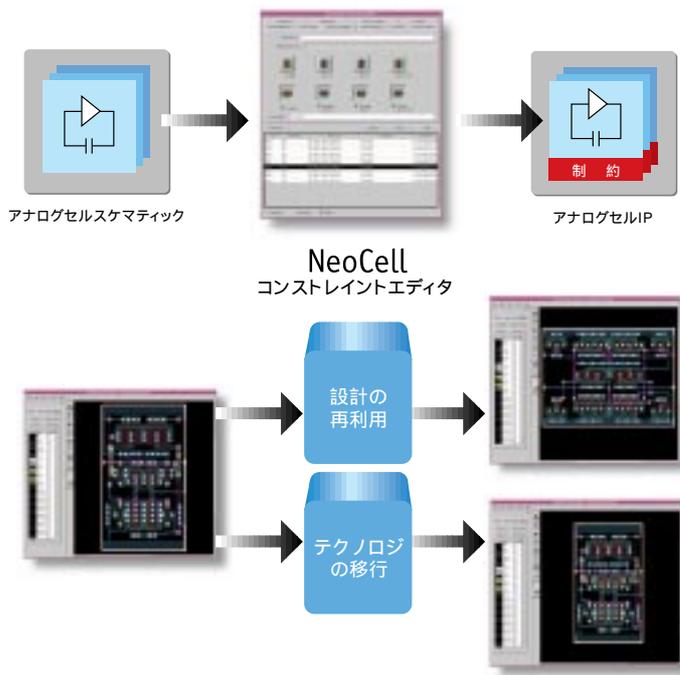
- 自動配線とインタラクティブ配線の混在
- シンメトリック配線機能
- クロストーク回避機能
- 選択されたネットの自動結線

NeoCellのルータもまた自動配線とインタラクティブ配線をサポートしています。例えば、最も重要な信号ネットを先にインタラクティブに配線し、続いてそれ以外の信号ネットを自動的に配線することができます。自動配線では、実行時間と配線品質のトレードオフによつて5段階の設定が可能です。また、配線品質の向上のためのリップアップや、不必要な配線の折り曲げやビアの削除を行うポストプロセッシングの実行も3段階の設定が可能です。インタラクティブ配線時においても、設計ルールチェックを作業の進行中に実行するので、完成した設計には設計ルールエラーは存在しません。シンメトリック配線は、対称線の両側にそれぞれのネットのミラーイメージ(鏡像)を作成し配線寄生成分のミスマッチを防ぎます。また、NeoCellルータ内蔵の容量抽出エンジンは、電気的モデルにもとづいてネット間のクロストーク容量を評価しその影響を最小に抑える配線経路を決定します。



## アナログセルのIP化

NeoCellコンストレイントエディタを使用するメリットの一つに、「アナログセルのIP化」があります。NeoCellの設計環境では、アナログセルに要求される制約は、コンストレイントエディタを使用し回路図中の素子のプロパティとして保存されます。これらの制約、例えばグループ化されたデバイスの形状や方向を一致させることや、シンメトリックに配置されたデバイスペアの入力信号をミラー対称に配線することなどはテクノロジーには依存しないので、テクノロジーが移行した際にも、そのまま制約として利用することが可能です。また、設計を再利用する場合、セルの形状を変更しなければならない状況でも、NeoCellはこれらの制約を満たしながら、新しい形状に合わせたセルを自動生成することが可能です。異なるセル形状に、同じ性能のセルを生成することもまたNeoCellの得意とするところです。このように、一度NeoCellのコンストレイントエディタで制約が付加されたアナログセルは、スムーズなテクノロジーの移行が約束され、設計の柔軟な再利用も可能となるので、「アナログIP」として有効利用することができます。



### サポートプラットフォーム

Sun Solaris 2.5.1 以降

### 推奨環境

ハードディスク : 200MB 以上の空き容量(インストール時)

メモリ : 256MB 以上

\*記載の社名、製品名は一般に各社の商標または登録商標です。

# Soliton®

株式会社ソリトンシステムズ LSI & System Bus オペレーション

本社 〒160-0022東京都新宿区新宿2-4-3 TEL.03(5360)3851 FAX.03(3356)6440

大阪事業所 〒564-0063大阪府吹田市江坂町1-12-38 TEL.06(6821)6882 FAX.06(6821)6677

E-mail: info@lsi.soliton.co.jp

URL: http://www.lsi.soliton.co.jp

L005-01-20115HK