

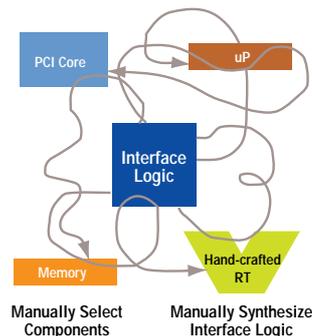
The Reuse Automation Company

eXplorations Tools

大切な設計資産を無駄にしませんか？

LSI 設計の各過程では膨大な設計資産が生まれ、うまく流用されずに忘れ去られています。Y Explorations, Inc. は、設計資産の有効活用を実現する設計環境と Automatic Design Reuse テクノロジを提供します。

従来の設計手法



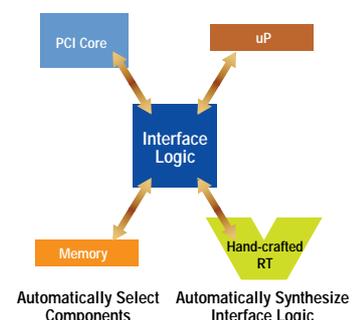
SOC (System On Chip) 設計において、大規模かつ高機能化が進み、しかも TAT 短縮が設計者に求められています。さらに、設計コストの低減要求や設計者不足の解決策、部門間の連携プレーの難しさなどが新たな課題となってきています。それらのソリューションとして IP データベースによる設計資産の管理や高位合成技術などが注目されてきました。

単純に設計資産を整理するカタログシステムや記述レベルを RTL からピヘイピアへ移行するだけの高位合成技術では、SOC 設計を乗り切るには不十分です。お持ちの設計資産を簡単に、しかも確実に再利用できる高位合成技術が必要です。

Y Explorations, Inc. は、RTL やスーパーステート、ピヘイピアモデルの VHDL、Verilog HDL 記述を入力に、設計資産を用いたアーキテクチャの見積もり、インタラクティブ高位合成、タイミングの自動調整、インタフェースロジックの自動生成、リユースベースの IP データベースなどを eXplorations Tools として統合し、皆様の設計効率を最大限に向上させる新しい設計環境を提供します。

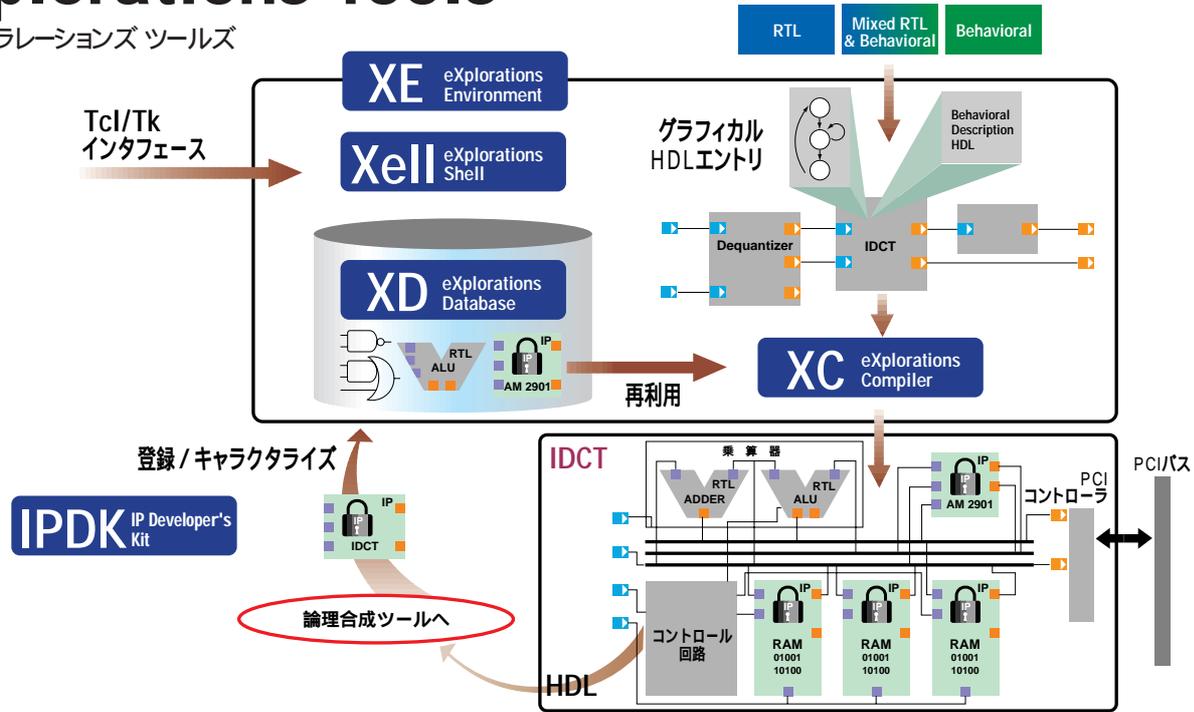
eXplorations Tools は、eXplorations Compiler、eXplorations Environment、eXplorations Database、eXplorations Shell、IP Developer's Kit の総称です。

YXIの設計手法



eXplorations Tools

エクスペレーションズ ツールズ



eXplorations Compiler™ (XC)

設計資産の再利用とアーキテクチャの探求

全レベルの HDL をサポート
XC への入力は、RTL やスーパースタート、ピヘイピアモデルです。設計者は、慣れ親しんだ記述スタイルを変える必要がありません。また RTL 設計者にとって、より設計効率の優れた高位記述への移行が容易になります。

アーキテクチャの選択と見積もり
XC は、プリミティブゲートだけではなく RTL ブロックやメモリ、I/O プロトコル (PCI や USB、FIFO、スタンダード CPU バスなど)、コア/ IP を組み合わせてインプリメント可能なアーキテクチャを探索し、パフォーマンスの見積もりを行います。設計者はこれらの見積もりから最適なアーキテクチャを選択できます。

設計資産の再利用とインタフェース回路の生成
XC は、RTL ブロックやメモリ、I/O プロトコル、コア/ IP などを使用して回路をインプリメントします。たとえば 2 次元アレイ・データタイプを持つバリアブルへのアクセスは、メモリや I/O プロトコルへ自動的にマッピングされます。プロシージャコールをマイクロプロセッサにマッピングすることもできます。コンポーネントの間を繋ぐインタフェースは、自動生成されます。

eXplorations Database™ (XD)

再利用に特化した設計資産データベース

設計資産のプロテクト
登録されたコンポーネントはブラックボックスとして扱われます。設計資産を守るための複雑なライセンス契約から解放されます。

設計資産の登録
従来の手法で設計資産をデータベースに登録するには、単純な繰り返し作業が必要でした。XD は、これらの作業のほとんどを自動的に行うことができます。また設計資産の複雑度によらず、首尾一貫した登録メソッドと DBL 言語を使用することにより、登録作業の負荷を軽減します。

設計資産の再利用
シンプルなゲートや RTL ブロック、メモリ、複雑なコア/ IP など、登録されたコンポーネントを、XC が自動的に選び使用します。

IP Developer's Kit™ (IPDK)

設計資産の登録、管理、ドキュメント化を容易にする開発キット

設計資産データベースを効率よく作成、管理できる GUI
登録時には、特殊な言語を使用することなく、グラフィカルなインタフェースを使い設計資産の登録や管理ができます。IPDK で作成されたデータベースは、XD にエクスポートされます。

プログラマブルコンポーネントの登録
ビット幅や機能構成が選択できるコンポーネントの場合、プログラマブルコンポーネントとして登録できます。指定された仕様にしたがってタイミングや面積などを算出できるため、パフォーマンスを左右するパラメータを正確にモデリングできます。

eXplorations Environment™ (XE)

会話型シンセシス、設計資産の再利用、見積もり機能

グラフィカル設計入力
設計者は、VHDL、Verilog HDL、ブロックダイアグラム、スーパースタートダイアグラム、ステートダイアグラム、サイクルベース・スプレッドシートなどを使用して設計を行うことができます。

会話型シンセシスと見積もり機能
設計プロセスの各段階で、設計の変更や設計制約の指定がどのように影響するのを見積もることができます。設計者は、設計ヒントやクロック見積もりグラフなどを見ながらスケジューリングやアロケーション、設計制約の変更をインタラクティブに指定していくことができます。

eXplorations Shell™ (Xell)

ツールのカスタマイズやシンセシスアルゴリズムの追加

アプリケーションプログラムインタフェース (API)
API を用い、ツールの内部データにアクセス可能です。API を通して開発された新しいアプリケーションは、eXplorations Tools に対してシームレスに統合されます。API は、Tcl/Tk をベースに用意されます。



【会社案内】
Y Explorations, Inc. (YXI)
1995年に設立されました。SOC 設計に要求されるシンセシスソリューションやメソッド、サービスを提供します。

Soliton®

株式会社ソリトンシステムズ LSI & System Bus オペレーション

本社 〒160-0022東京都新宿区新宿2-4-3 TEL.03 5360 3851 FAX.03 3356 6440
大阪事業所 〒564-0063大阪府吹田市江坂町1-12-38 TEL.06 6821 6882 FAX.06 6821 6677

E-mail: info@lsi.soliton.co.jp
URL: http://www.lsi.soliton.co.jp

* 記載の社名、製品名は一般に各社の商標または登録商標です。

L003-01-2012KK