



xtensa

合成可能なプロセッサ Xtensaにより システム・オン・チップ(SOC)が可能になる

コスト効率が良い数百万ゲートのシリコンが、エンベディッド・システム設計に革命をもたらせています。エンベディッド・システム設計者は、新製品と新機能によりマーケットが拡張しているにもかかわらず、以前と同じスピード、消費電力とコストのトレード・オフに悩んでいます。一方、急成長分野においては、競争相手のソリューションは高い成長率で伸びています。このような今日の激しい競争を勝ち抜くためにも、設計者は高性能で、統合化かつ差別化された製品を開発しなければなりません。

システム・オン・チップ(SOC)設計では、こういった挑戦を克服する必要があります。SOCの低消費電力設計により、高性能で、低コストで、小さなサイズと長い電池寿命を実現できるようになります。しかしながら現実のSOC設計では、ブロックレベルでの統合、検証、ハードウェア・ソフトウェア協調設計や半導体プロセス間のポータビリティ等がボトルネックになってきています。今までエンベディッドSOC設計者は、1970年代や1980年代にワークステーション用に設計された旧式なプロセッサ・コアを基にして、ソリューションを開発しなければなりません。それらの旧式なプロセッサ・コアでは、他のシステムブロックと統合しながら、今日の大量生産され、高い機能を要求されるアプリケーションのニーズを満たすことは難しくなっています。また、同時に従来の方法では、コストとパフォーマンスを最適化するような新しいシリコン・プロセスへの移行がタイムリーにできなくなっています。

Xtensaはエンベディッド・アプリケーションに特化した最初のプロセッサ・アーキテクチャーです。このプロセッサは、設計者が特定のアプリケーションの要求に合わせて特注設計ができるように、コンフィギュラブル・アーキテクチャーを最初から考えて設計されています。

特徴

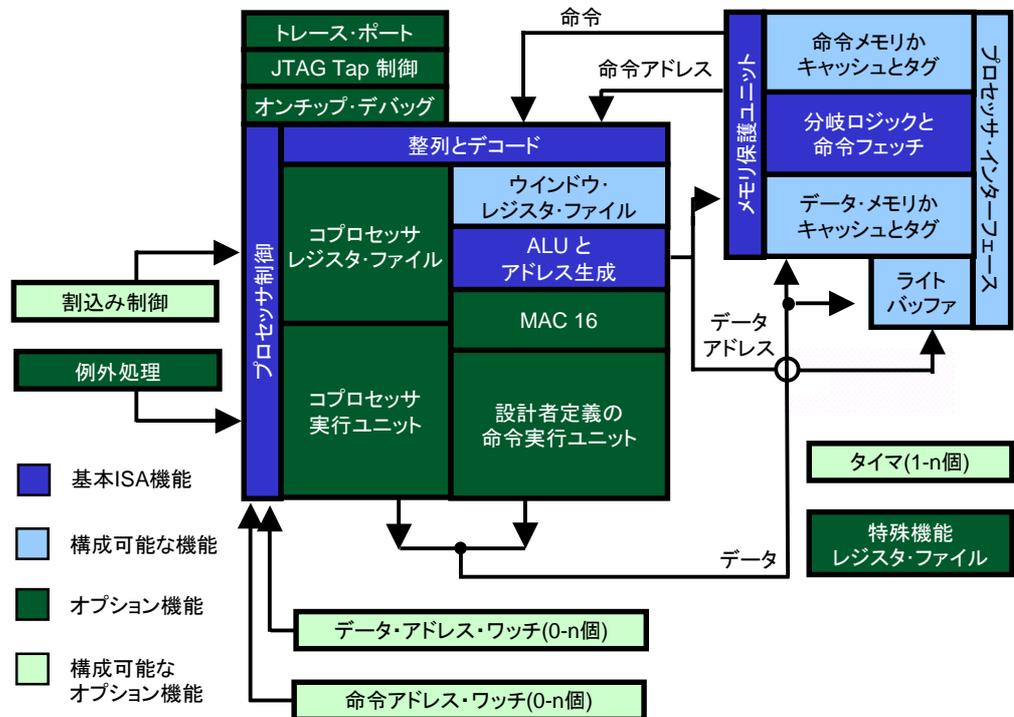
- 簡単にコンフィグレーションできる32ビットアーキテクチャー
- 高性能:180MIPS @150MHz
- 低消費電力:0.5W/MHz以下 @0.25 μ CMOSプロセス(基本構成)
- 小サイズ: 1mm²以下 @0.25 μ CMOSプロセス(基本構成)
- 小コード・サイズ: 他のプロセッサより10-50%小さなコード・サイズ
- オプションとして、JTAGベースのインターフェース、ハードウェア・ウォッチポイント機能、ブレーク・ポイント命令機能と完全なトレース機能を持ったオン・チップ・デバッグ(OCD)機能をサポート
- オプションDSPユニット: 完全にパイプライン化された16ビットMAC。40ビットアキュムレータ、デュアル・オペランド命令、アドレス・アップデートをサポート
- リアルタイムでできる設計者定義の命令追加機能をサポート
- 市販のスタンダード・セル・ライブラリにテクノロジー・ポーティングが可能

特定用途にプロセッサを合わせる

Xtensaプロセッサを使うことにより、性能を高めながらほとんどのエンベディッドSOC設計の製品開発期間を大幅に短縮できます。アプリケーション固有の性能や機能を満たすために、プロセッサの機能をチューニングしたり、拡張することができます。規格が定まっていないような新しい機能にたいしては、ソフトウェアで対処することが重要になり、このような場合にXtensaは最もよい選択となります。

高いコード密度でメモリー・コストを最小限にでき、低消費電力化により電池寿命を延ばせ、かつ高い拡張性により最適化されたプロセッサの性能が製品の特徴に影響を与えます。デジタルカメラ、セットトップボックスOA機器等、広範囲にわたるコンシューマ・エレクトロニクスの分野において、Xtensaは理想的なプロセッサになります。ネットワーク・アプリケーションでは、Xtensaプロセッサは、パケット転送やその他のプロトコル処理分野でのマルチ処理SOCで、分散処理型プロセッサとして使用できます。強力な16ビットDSPオプションを追加することにより、フィルター機能やサーボ制御機能と密接に関係する、無線通信やHDDアプリケーションにおいても効果を発揮します。

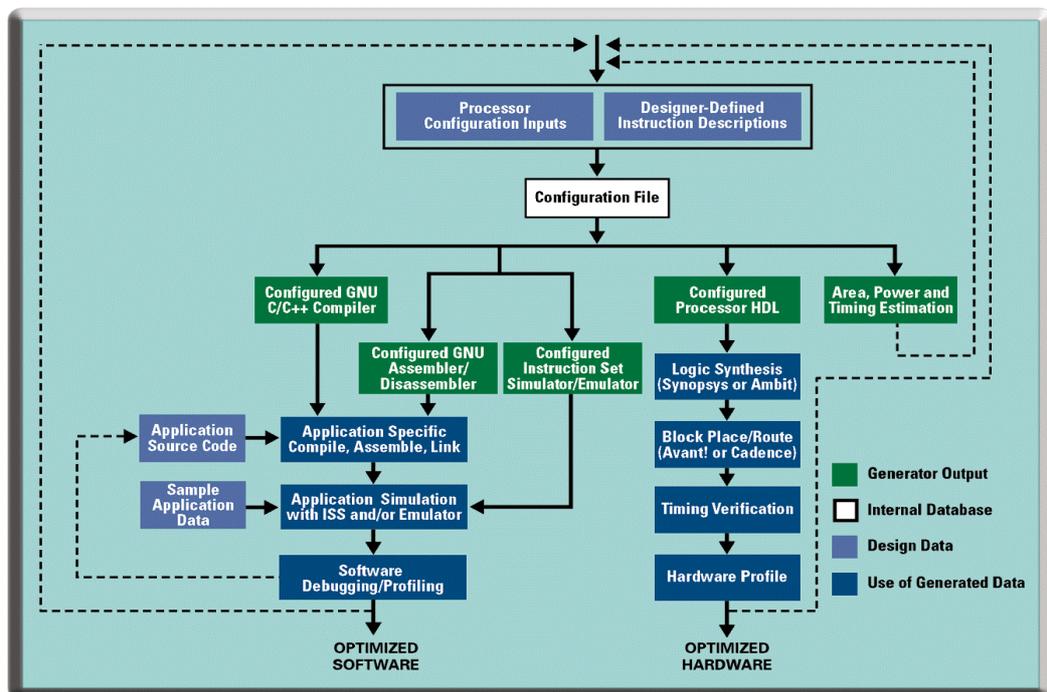
Xtensaプロセッサは、顧客のアプリケーションに対応した構成を作れるため、アプリケーションに対して無限の可能性があります。



数時間で最適なプロセッサ・ コンフィギュレーションを生成

Xtensaプロセッサ・ジェネレータにより、設計者が特定用途向けのエンベディッド・プロセッサを素早くかつ確実に生成できます。プロセッサ、およびCADとエンベディッド・ソフトウェア開発技術との組み合わせられた、Xtensaプロセッサ・ジェネレータにより、開発者はアプリケーション固有の特徴をコア・プロセッサ・アーキテクチャに盛り込むことができます。

設計者は、シリコンを作る前に、最適なコンフィギュレーションを得られるまで、エリア、スピード、消費電力とコード密度のトレード・オフをジェネレータを使い、リアルタイムでいろいろなアーキテクチャーを試すことができます。任意のスタンダードセル・ライブラリとTensilicaが供給する設計ツール・スクリプトを組み合わせることにより、設計者にとって最適なXtensaプロセッサを、任意の半導体ベンダーのプロセスに落とすことができます。



Xtensaプロセッサ・ジェネレータにより最適な Xtensaアーキテクチャを選択できる

Xtensaプロセッサ・ジェネレータは、インターネット・ブラウザーの様な使いやすいインターフェースで操作でき、設計者が広範囲にわたりコンフィギュレーション可能なオプションやパラメータを簡単に選択できるようになっています。命令セット・アーキテクチャの構成では、オプションのDSPエンジン、32ビット整数乗算/除算か浮動小数点機能、32個か64個のレジスタの選択や、設計者が定義した命令を追加することができます。広範囲にわたる例外処理オプションもあります。割り込みのレベルを各割り込みごとに個別に設定できます。メモリのアドレス・サイズや、ライト・バッファ・サイズ、チップ内蔵のRAM/ROMサイズとキャッシュの属性と同じように、メモリの階層構造をも設定できます。スピード、ゲート数や消費電力の目標値を設定することで、設計者は対象のシリコンプロセス・テクノロジーの最適な属性の優先順位を決めることができます。

ジェネレータが自動的にプロセッサ に合う開発環境を生成

Xtensaのソフトウェア開発環境は、ハードウェア記述(HDL)と同じデータベースから生成されます。これにより、ハードウェアとソフトウェアの一貫性と正確さを保証しています。一般的に、他のエンベディッド・プロセッサのソフトウェア開発環境は、ハードウェアと乖離しているため、特定のアプリケーションの要求を即座にハードウェアとソフトウェアに反映させられないか、非常にできにくくなっています。

Xtensaプロセッサとソフトウェア開発環境は命令セットを含む単一のソース・ファイルから生成されます。このことにより、ハードウェアに完全にチューニングされたANSI Cコンパイラ、リンカ、アセンブラ、デバッガと命令セット・シミュレータを設計者は入手することができます。ソフトウェアのツール・チェーンは、追加された設計者定義の命令を使い、設計に最適化されるようにハードウェア生成過程で自動的に更新されます。

設計者定義の命令を容易に統合できる

Xtensaソリューションの素晴らしい特徴の一つに、設計者定義の命令をリアルタイムに開発し、プロセッサのハードウェアとソフトウェアに統合できることが挙げられます。TIE(Tensilica Instruction Extension)言語を使用することで、設計者はXtensaの基本命令セットに無い命令機能を、いち早く記述することができます。Xtensaのプロセッサ・ジェネレータは、新しく追加した命令をサポートするハードウェア(HDL)と、C/C++コンパイラ、アセンブラ、デバッガと命令セット・シミュレータ等のソフトウェア開発環境を同時に自動生成します。この単純明快に機能を拡張する方法により、最短期間で制御性に優れ、柔軟性に富んだ設計手法を提供します。

業界標準ベースのソフトウェア開発環境

Xtensaのソフトウェア開発環境は、業界標準のGNUツールを採用しました。この中には、ANCI C/C++コンパイラ(gcc)、アセンブラ(gas)、リンカとデバッガ(gdb)が含まれます。TensilicaはXtensa命令セット・アーキテクチャ用にこれらのツールを移植し、最適化し、独自の技術を用いて、生成された特定のハードウェア構成に基づいた命令パッケージを動作させるようにしました。デバッグ環境でのGUI(Graphical User Interface)はDDD(Data Display Debugger)ユーティリティ経由で提供されます。

エンベディッド設計に最適化された命令セット

Xtensa32ビット・アーキテクチャは、エンベディッド設計に最適化された命令セットを持ちます。基本命令セットは32ビットALU、64個までの汎用物理レジスター、6個の特殊レジスター、そして70個以上の命令(ロード、ストア、分岐、算術演算、シフト、論理演算、ゼロ・オーバーヘッド・ループ、ジャンプ、コールやその他の命令)から構成されています。Xtensaアーキテクチャでは、命令セットのオプション・パッケージ、キャッシュ・ステート、ウィンドウ・レジスタ・ファイル、16ビット圧縮命令、例外処理、タイマー、割り込み、デバッガ、設計者定義の追加命令、コプロセッサ、整数乗算/除算、浮動小数点、マルチプロセッサ同期やコンパイラによる予測処理をサポートしています。

Xtensaのアーキテクチャはすべての面で効率を追求しています。特許申請中のXtensaの4ビット・レジスタ・フィールド付き16/24ビット・エンコーディングは、1命令あたりの平均ビット数と、プログラム全体のコード・サイズを削減します。ゼロ・オーバーヘッド・ループは、分岐時のペナルティーがありません。ソース・コードのどこからでも、特定の回数を決めてループを呼び出すことができます。Xtensaはレジスタ・シャプリングの必要性を減らすことで、コード・サイズを更に10%削減できる新しいタイプのレジスタ・ウィンドウを採用しています。

強力なデバッグ機能

Xtensaは完全なデバッグ環境を、ソフトウェア・ブレイク命令、ウォッチポイント・レジスタや、OCD(On-Chip Debugger)ハードウェア・モジュールなどから選択することで提供しています。Xtensaの命令セットは、ソフトウェア・デバッグ時に使用するブレイク命令を含みます。また、設計者は命令やデータ/アドレスのハードウェア・ウォッチポイントを設定することにより、プログラムの状態をモニタできます。OCDモジュールにより、プログラマーはJTAGポートを介し、極力マシンの命令空間にデバッグ用のデータを書き込むことなしに、マシン・ステートを監視できます。トレース・ポート・オプションにより、すべての命令やデータ/アドレスのリアルタイムなモニタを可能にしています。

強力な協調検証環境

Xtensaはサイクル・アキュレートな命令セット・シミュレータとVerilog/VHDLハードウェア記述、そしてCPLDベースのハードウェア・エミュレータにアクセスできる、共通のインターフェースを、ソフトウェア/ハードウェアの協調検証環境として提供しています。

XT-1000デバイス・エミュレーション・ボードは早い 時機に問題点のフィードバックを可能にする

XT-1000デバイス・エミュレーション・ボードは守備範囲の広い低価格な開発ツールで、特定のXtensaプロセッサ構成をCPLDを使ったハードウェアでエミュレーションできます。この製品により、設計者は設計サイクルの早い時機から様々なプロセッサ構成オプションの評価、及びソフトウェアの開発とデバッグができるようになります。システム設計者は、設計者の定義した命令を含む新しいプロセッサ構成を、設定から実行、デバッグまでわずか数時間で実行できることとなります。

事前に定義されている外部バス・インターフェースは、エミュレーション・ボード上のシステム資源とCPLD中のXtensaコアとを結び付ける役目をしてしています。ホスト・コンピュータからシリアル・ポート経由のダウンロードか、またはエミュレーション・ボード上にあるプログラマブルROMからのコピーにより、CPLDにXtensaの構成データを書き込みます。オプションとして、アプリケーションによっては、エミュレーション・ボードを単独モードで動かすこともできます。通信とデバッグ環境を提供するX-MONと呼ばれる常駐のモニタ・プログラムを使い、ソフトウェアの開発を行います。RS232のシリアル・ポートは、ユーザー・プログラムをダウンロードしたり、デバッグしたりするためのホスト・コンピュータとの通信リンクを提供します。

XT-1000仕様

- 2個のAltera CPLD(プロセッサ用とバス・インターフェース用)
- 256KバイトEPROM
- 1MバイトSRAM
- 2Mバイト フラッシュ・メモリ
- 2Mバイト シンクロナスSRAM
- 2R232 シリアル・チャンネル



テンシリカ株式会社
〒222-0033
横浜市港北区新横浜3-12-4
エクステ新横浜ビル2F
Tel: 045-477-3373
Fax: 045-477-3375

Tensilica, Inc.
3255-6, Scott Boulevard
Santa Clara, CA, 95054-3013

Tel: 408-986-8000
Fax: 408-986-8919

Tensilicaについて詳しくお知りになりたい方は

www.tensilica.com

のWebサイトにアクセスしてください。

コピーライト1999, TensilicaとXtensaはTensilica, Inc.の登録商標である。
他の登録商標は各会社の財産である。