

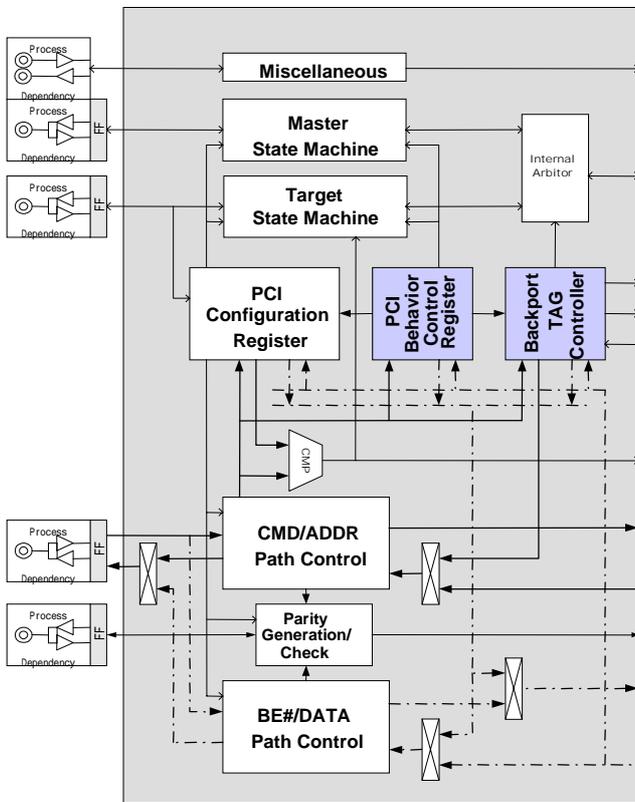
## 図研SoCデザインセンター オリジナル IP **Z-core** シリーズ

### カスタマイザブル PCIコア

# Chameleon

Z-coreは、図研デザインセンターが開発する、オリジナルIP群です。単なるIPのライセンスではなく、お客様のシステム開発・ASICの設計サービスの一環としてトータルにお手伝いします。海外製コアにつきものだったサポート面・価格面の心配はもう不要です。

#### Chameleon ブロックダイアグラム



#### ■ PCI機能

- PCI Rev2.2準拠Master/Target機能
- CardBusサポート
- Address: SAC/DAC
- Data: 32/64 Bit
- Lock Transaction
- 割り込み機能
- Memory、I/O、Configuration R/W
- HOST機能サポート
- PCI-Xサポート(予定)

#### ■ 基本構成

- Master/Target State Machine
- Configuration Register
- Address/Data Path
- PCI Behavior Control Register (PCI Agentとしての動作をプログラム可能とする)
- BackPort TAG Controller (BackPortのFIFOをTAG単位で管理する)

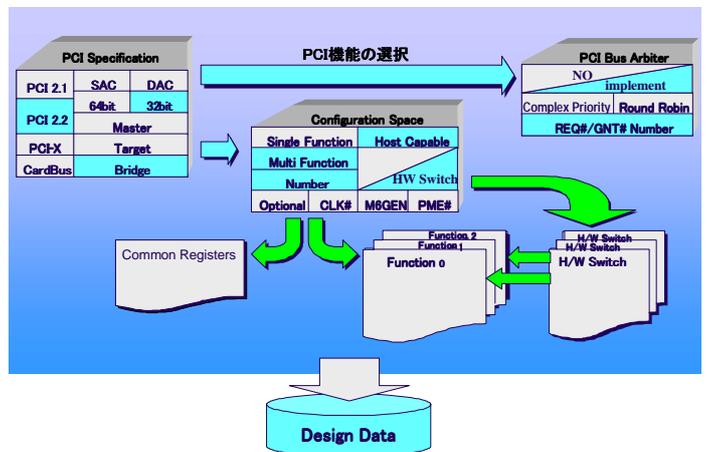
#### ■ 特長

##### (1) ハードウェアリソースのカスタマイズ

アプリケーションに合わせて必要なハードウェアリソースを選択してご利用いただける、コアのカスタマイズメニューをご用意しております。これによりハードウェアリソースとして必要な機能(Master/Target、Bus Width、Configuration Register, etc.)を容易に抽出することが可能です。

##### (2) アプリケーションに特化したチューニング方法の提供

PCIバスの性能を最大限に引き出すためには、実際のアプリケーション・システムに組込んだでのチューニングが必要になります。当社PCIコアは、**PCI Behavior Control Register**を実装しチップが出来あがった後にも、PCIバスの振る舞いをプログラマブルに制御することが可能です。

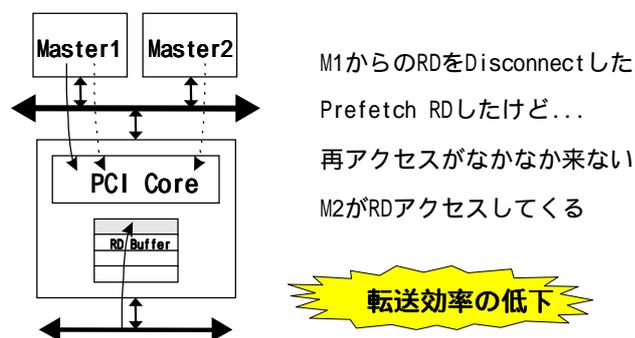


### Master動作時の例 :

PCI AgentがMaster動作時にRetryまたはDisconnectの再アクセスを行う場合、それが早ければいいというわけではありません。TargetによってはSingle転送を繰り返し、かえって効率が落ちてしまうケースもあります。また、Retryサイクルによってマスタ転送が占有されてしまい、待機中の他転送を処理できない状態に陥ってしまいシステム全体としての転送レートが劣化する場合があります。

このような場合、PCI Behavior Control Registerの設定により、Master動作時のRetryサイクルの間隔指定、最大Retryサイクル数、Retry待機中の他転送の起動を許可することで、転送レートの向上が図れます。

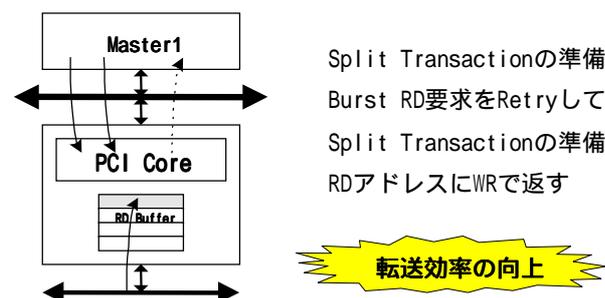
### Target動作時の例 :



PCI AgentがTargetとして動作する場合、PCIバスの占有率を抑えるためにTarget Latency(タイムアウト)が設けられています。時間内に転送が終結しない場合は、Masterからのアクセスに対し一旦Retry/Disconnect応答し、再アクセスにて転送を終結させるDelayed Transactionという手法が用いられます。この際、予約されたDelayed Transactionが終結するまで、他マスタからの要求に対しRetry応答を繰り返します。PCIの仕様上厄介なのは、Disconnect終了に対する再アクセスは必ずしも再起動されないという点です。アクセスされないものを待ち続け、正常なアクセスを拒否し続けるといった状態に陥ります。

このような場合、Delayed Transaction用の格納チャンネルを複数段インプリメントするようにし、PCI Behavior Control Registerの設定により、同チャンネルのクリア条件等が選択可能になります。また、Delayed Transactionをサポートするためには、Backport側のFIFO制御をキャッシュ的に扱う必要があり、Backport TAG Controllerにより複雑なキャッシュ操作を容易にインターフェースすることが出来ます。

### ◆ Split Transactionのサポート: オptional機能



PCI TransactionではRD Transactionが転送レート向上のボトルネックになることが少なくありません。そこで当社コア同士の場合に限り(いくつかの手続きに従って)MasterからのRD要求に対してTargetからのWRで応答する、Split Transactionを使用してデータ転送レートを更に向上することが可能です。