



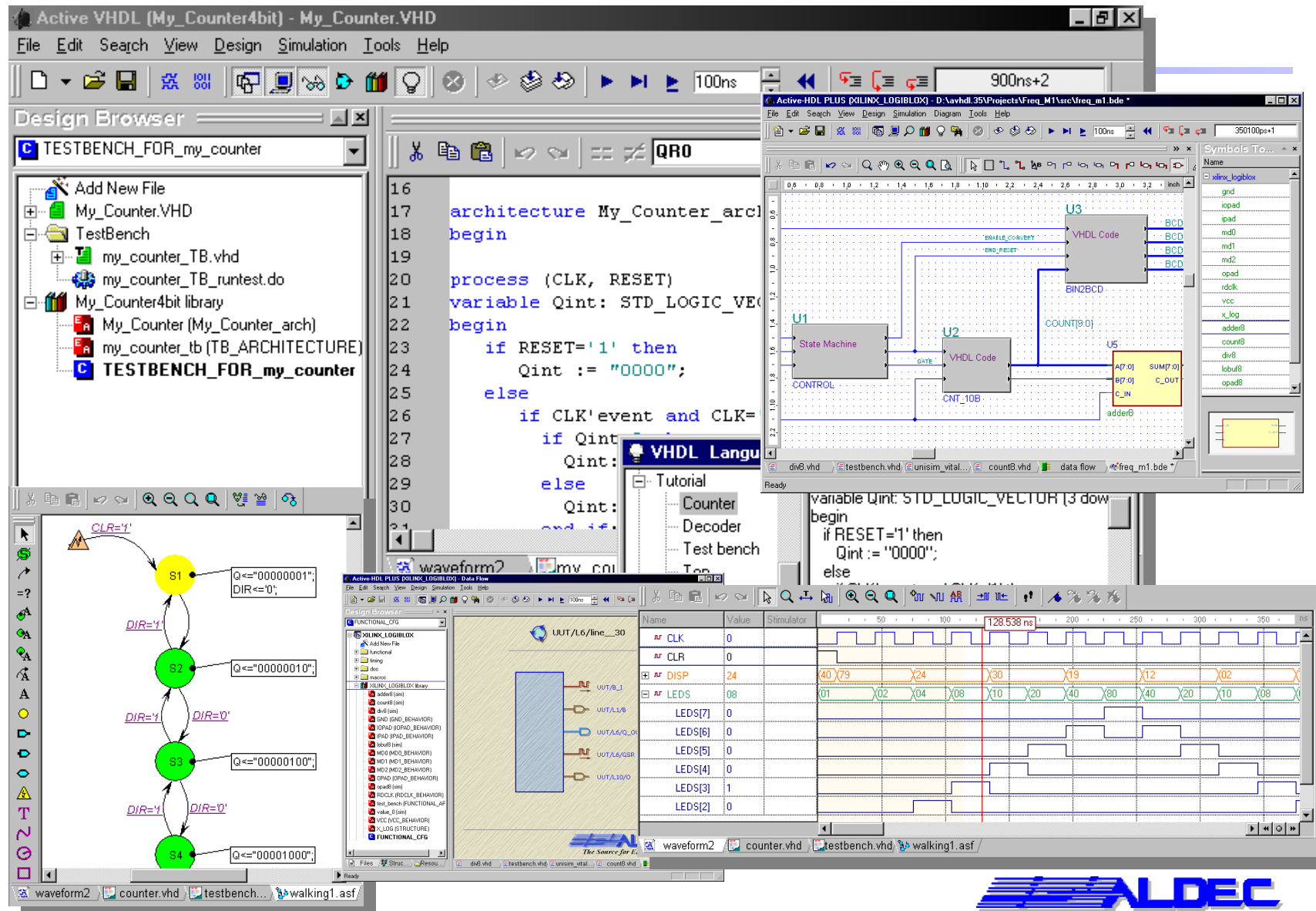
Active-HDL

VHDL / Verilog Simulator

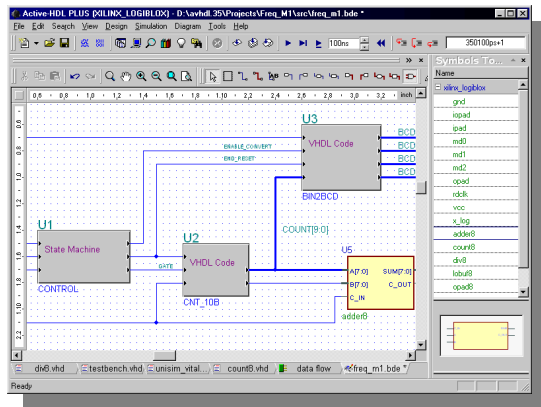
Active-HDL製品概要

- 高速、安価な VHDL/Verilogシミュレータ
 - IEEE 1076-'87、'93に準拠したVHDLシミュレータ
 - ダイレクトコンパイル方式による高速シミュレーション
 - PCベース & 低価格 (50万円台から)
 - RTLから実配線シミュレーションまでサポート
- 使い易いHDL入力支援ツール
 - ブロックダイアグラム・エディタ
 - ステートマシンエディタ
 - HDLエディタ
 - テストベンチ自動生成プログラム

Active-HDL全体図



Active-HDLデザインフロー



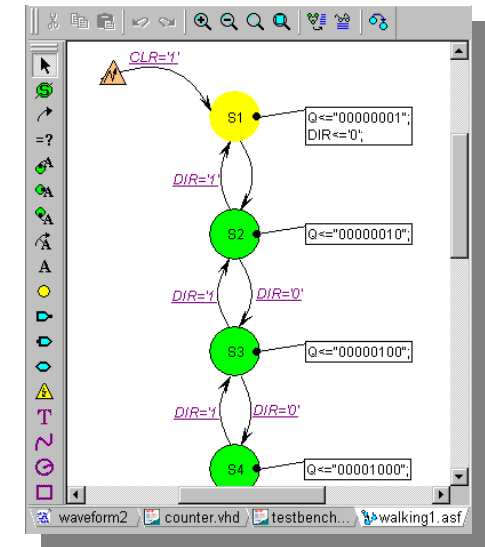
ブロックダイアグラム・エディタ

VHDL / Verilog
を自動生成

```

30  PROCESS
31  VARIABLE VD_IN: std_logic_vector(7 DOWNTO 0);
32  VARIABLE VLOAD: std_logic;
33  VARIABLE VIP_DN: std_logic;
34  VARIABLE VCCLR_EN: std_logic;
35  VARIABLE VCLOCK: std_logic;
36  VARIABLE VASYNC_CTRL: std_logic;
37  VARIABLE VSYNC_CTRL: std_logic;
38  VARIABLE VQ_OUT: std_logic_vector(7 DOWNTO 0);
39  VARIABLE VTERN_CNT: std_logic;
40  VARIABLE lowest_count: std_logic_vector(7 DOWNTO 0) := (0);
41  BEGIN
42  VD_IN := stdvec2mv1(D_IN);
43  VLOAD := stdb2t2mv1(LOAD);
44  VIP_DN := '1';
45  VASYNC_CTRL := '0';
46  VSYNC_CTRL := '0';
47  VIP_DN := '1';
48  IF (
19  ENTITY count8 IS
20  PORT
21  END count8;
22
23  ARCHITECTURE sim OF count8 IS
24  SIGNAL GSR: std_logic := '1';
25  BEGIN
26  PROCESS
27  VARIABLE VD_IN: std_logic_vector(7 DOWNTO 0);
28  
```

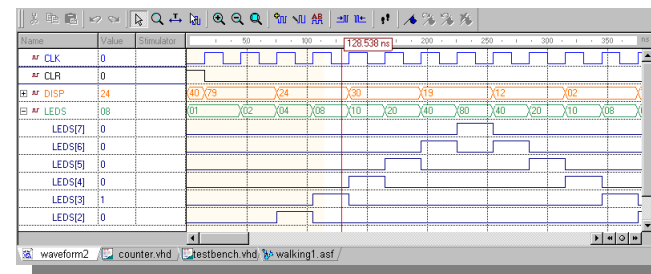
HDLエディタ



ステートマシン・エディタ



シミュレーション



サードパーティ・インターフェース (Tcl/Tk)

Webにて最新のTcl/Tkを
ダウンロード

(www.aldec.com)

現在サポート中のTcl/Tk

FPGA/CPLDベンダー

Altera (Max PlusII)

Actel

Cypress

Lattice/Vantis

Lucent

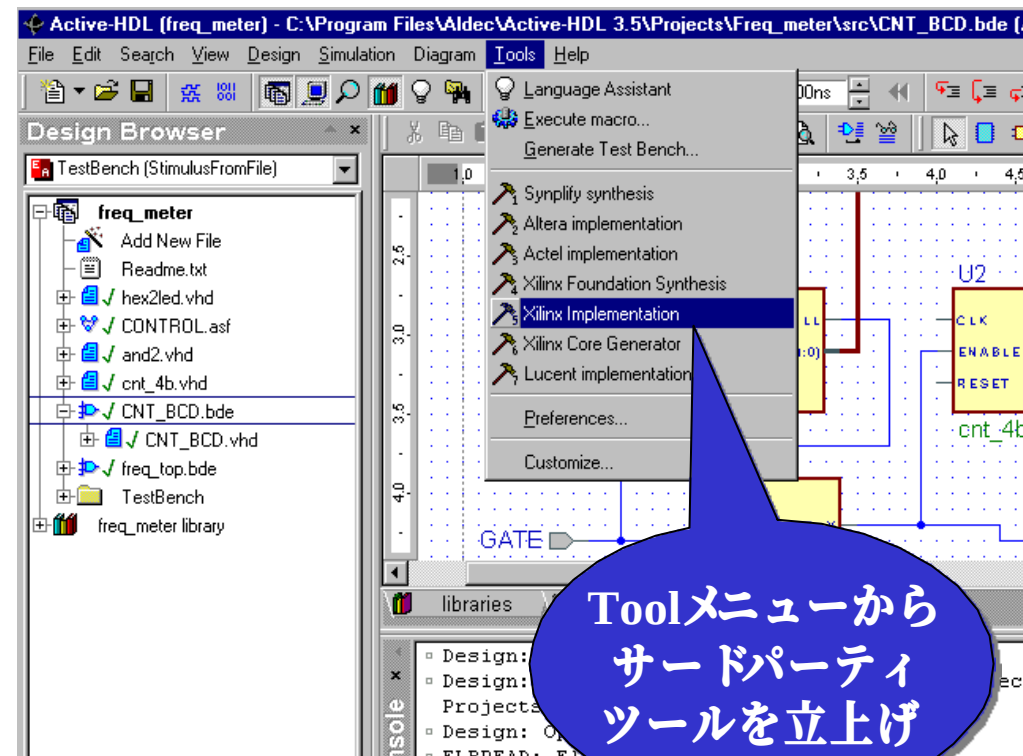
Xilinx

論理合成ベンダー

Exemplar

Synplicity

Synopsys FPGA Express



近日リリース：Quartus I/F

Active-HDLお問い合わせ先

Aldecブース B-204)にてデモンストレーション中

ザイキャドTSS株式会社 Aldec事業部

〒222-0033 神奈川県横浜市港北区新横浜 3-16-1 KCビル 7F

TEL : 045-471-1502 FAX : 045-471-1505

Email : info@zycad.co.jp URL : <http://www.zycad.co.jp>

アセットコア・テクノロジー株式会社

〒222-0033 神奈川県横浜市港北区新横浜 3-6-12 日総第12ビル 9F

TEL : 045-473-5261 FAX : 045-474-0621

Email : info@assetcore.co.jp URL : <http://www.assetcore.co.jp>