

# FPGAでシリアルATA コントローラを設計する

## 第1回 シリアルATAを実現する物理層

菅原 博英

昨今のFPGAは、ゲート規模や内蔵メモリの大容量化、そして高速差動信号への対応やクロックを倍/位相調整機能などの搭載、さらには汎用的インターフェース・コアをハード・マクロで搭載するなど、高機能化してきている。こうした高性能化したFPGAでは、シリアルATAなどに代表される高速シリアル・バスを直結できるようになってきた。そこで今回から数回にわたり、FPGAでシリアルATAホスト・コントローラを設計する事例について解説する。第1回の今回は、シリアルATAを接続する物理層について解説する。 (編集部)

### 1. シリアル化のトレンド

バスのシリアル化は、1990年代末から2000年代にかけての技術のトレンドです(図1)。

“シリアル”という用語はいろいろ誤解を生むネーミングです。1990年代以前のシリアル・バスはどちらかといえば、コネクタやケーブルの信号線の減少によるコンパクト化を目的としている点が多分にあり、その印象が強いからです。

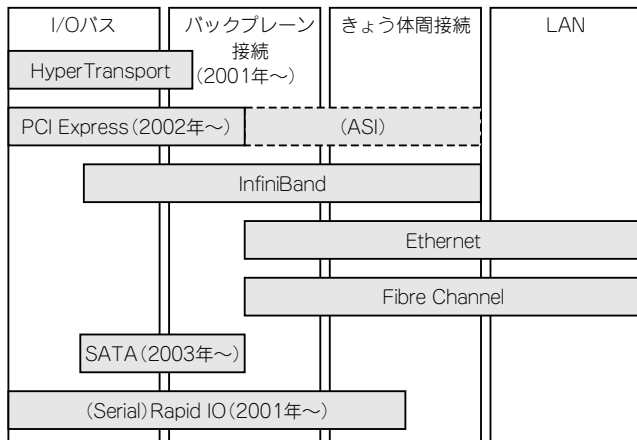


図1 シリアル化はトレンド

しかし、現代の“シリアル”は全体の一機能面を取り上げたネーミングに過ぎません。つまり、

- シリアルで信号間のスキューをなくす  
(差動の+/-間のスキューは依然ある)
- クロック成分もデータ信号と一緒に送り、データ信号からクロックを復調する(両者のスキューはない)
- 信号伝播は低振幅差動信号(LVDS: Low Voltage Differential Signal)とする

という点が、現代の“シリアル”化の特徴/機能なのです(図2)。

一方、このようなトレンドに対応して、近年シリアル対応のトランシーバI/Oを備えたFPGAが登場するようになりました。

本稿ではこのようなトレンドに対して、最もシンプルなシリアル・バスであるシリアルATAを題材とし、コントローラをFPGAに実装することを目指します。シリアルATAで接続するハード・ディスク・ドライブ(HDD)や最近のSDD(Silicon Disk Drive)またはSSD(Solid State Drive)は、大容量の記憶装置を非常に安価に実現できます。従って、一部の組み込みシステム機器などにおける活用機会が多いと思います。この場合、既存のシリアルATAアダプタあるいはLSI製品を購入すればよいわけで

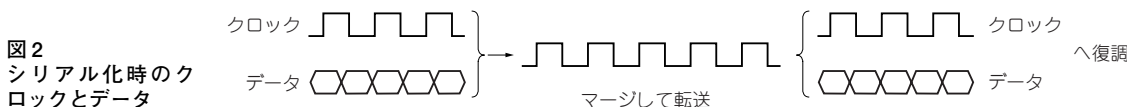
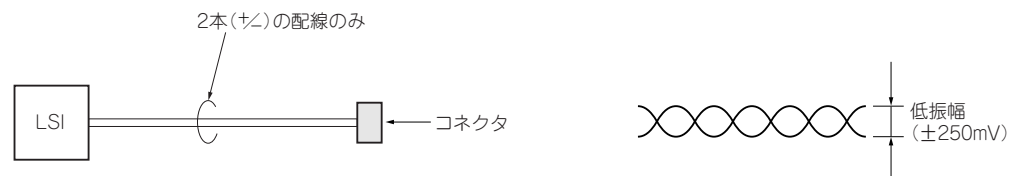


図2 シリアル化時のクロックとデータ

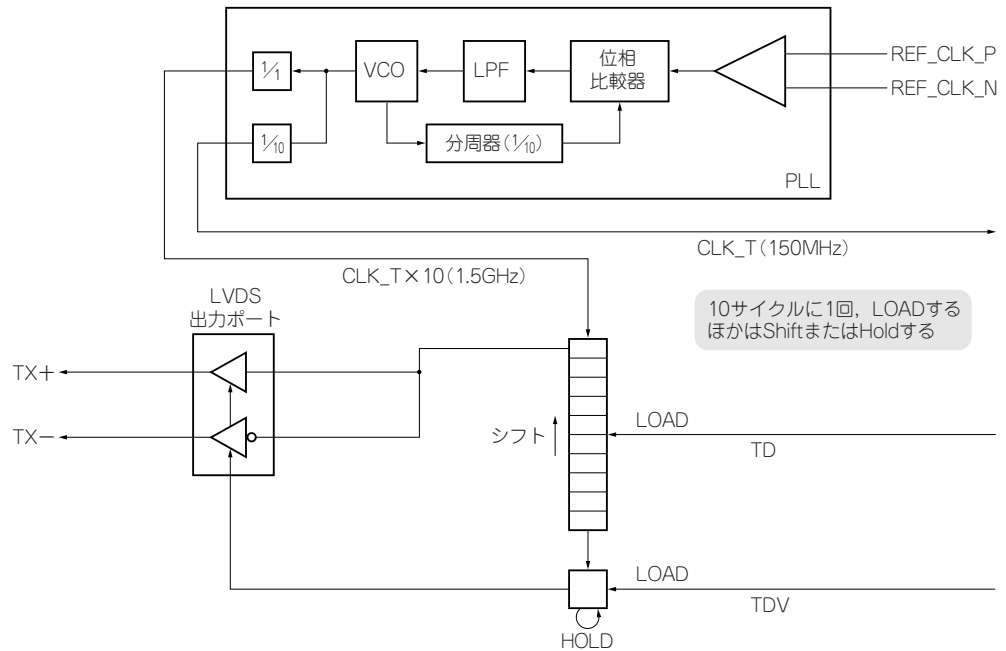


図3  
送信シリアルライザ

すが、このような製品は大量生産品で安価であるが故に、数個しか必要のない個人や組織（会社や研究室など）ではサポート上の問題から購入が難しい場合があります。そのため、シリアルATAをFPGAへ実装することは実用上も有効と考えます。

## 2. シリアルATAに必要なFPGAの要件

### ● 送信部の機能

シリアルATAを実装するには、シリアル対応のトランシーバI/OがシリアルATAのPHY機能を備える必要があります。PHYアナログ部の機能は非常にシンプルです。

送信部の機能は図3のようになります。

- 1) クロックは、対アナログ部が1.5GHz、対デジタル部がその1/10の150MHz (1.5Gbps転送の場合)

このとき、両クロックは同一クロック源(水晶)、PLLから生成されることが前提で、位相関係は長時間経過しても変化しません(一方がもう一方を追い越すことはない)。

なお実装によっては、例えばアナログ部が両クロック・エッジを使用する場合や、デジタル部が20bインターフェースを使用する場合は、それぞれ周期が半分となります。実際にはアナログ部は両クロック・エッジの場合が多く、デジタル部も3Gbpsに対応する場合、20bインターフェースの対応が多数になると考えられます。

- 2) デジタル部から受けた10bを、上位ビットから順番にシリアルライズ(1b化)して出力する

この動作をシリアルライザ (Serializer) と呼びます。そのビット信号をLVDSの出力ポートから出力します。絵で描くと単純ですが、1.5Gbps(あるいは倍)のデータ転送を、規格の範囲内の周波数&振幅のズレで行わなければならないわけなので、先端的なアナログ回路がなければ実現できません。

### ● 受信部の機能

一方、受信部の機能は図4のようになります。

- 1) 1.5Gbpsのシリアル・データを受信する
- 2) その受信データから受信アナログ・クロックを生成する (CDR)。また、その1/10の受信デジタル・クロックを生成する
- 3) 受信ビットを上位ビットから埋めていき、10bごとにデジタル部へ出力する

この動作をデシリアルライザ (Deserializer) と呼びます。同じように先端的なアナログ回路がなければ実現できませんが、この中でも最も複雑なのはCDR回路です。受信データからクロックを生成するポイントは、受信データの変化点を検出することです。

なお、シリアルライザとデシリアルライザの両方の機能をまとめて、SerDesとも呼びます。