

FPGAでシリアルATA コントローラを設計する

第3回 シリアルATAコアの設計とシミュレーション

菅原 博英

いよいよシリアルATAコントローラのコア (SATA_CORE) 部分を設計する。コア内部の構造やコアの入出力信号、スクランブルの内容などについて解説し、最後にコアのシミュレーション波形も示す。 (編集部)

前回 (2008年8月号, pp.172-179) は、シリアルATAを搭載可能なFPGAの、トランシーバ部分の使い方と確認方法について記述しました。今回は、FPGA内部ゲートに実装するシリアルATAのデジタル・コア部分を新規設計し、その概要を解説します。このデジタル・コア部分をSATA_COREと呼ぶことにします。ただし、SATA_CORE全体を詳細に解説するには誌面が足りないため、本連載の説明はSATA_COREを使用する場合に理解が必要と思われる部分にとどめます。

1. SATA_COREの構成

● SATA_CORE全体の構成

図1にシリアルATA全体のシステム構成例を示します。SATA-HBA (Host Bus Adaptor) は、ここでPCIバスの1機能ブロックを構成します。この場合、SATA_COREはHBAとしてホスト機能をつかさどることになります。また、SATA_COREそのものにデバイス機能を持たせます。デバイスであれば、通常ハード・ディスク・ドライブ (HDD) のような記憶デバイスを含む必要がありますが、こ

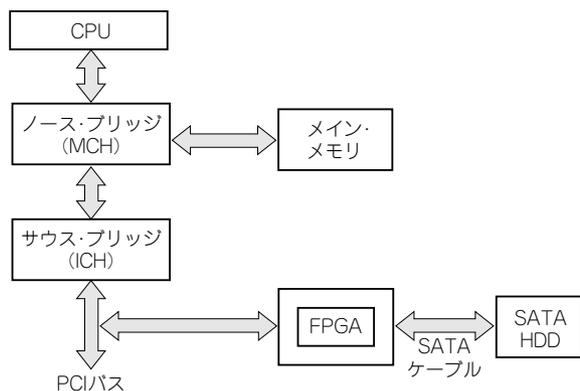


図1 シリアルATAシステム構成例

の部分は自作というわけにはいきません。しかし図2のように、仮にもう1台のパソコンと評価用ボードを用意し、そのパソコンにデバイスのような応答を行う (エミュレートする) ソフトウェアを搭載できれば、簡単なデバイス機能をつかさどることができます。

このシステム構成例における、SATA_COREを含んだFPGA全体の概要を図3に示します。SATA_COREはPCIバスを制御するPCI_COREとFPGA内でその (クロック同期化などを行う) 接続回路を経由して接続されます。この部分のインターフェース信号を内部コア・インターフェース信号と呼びます。また、SATA_COREは入出力

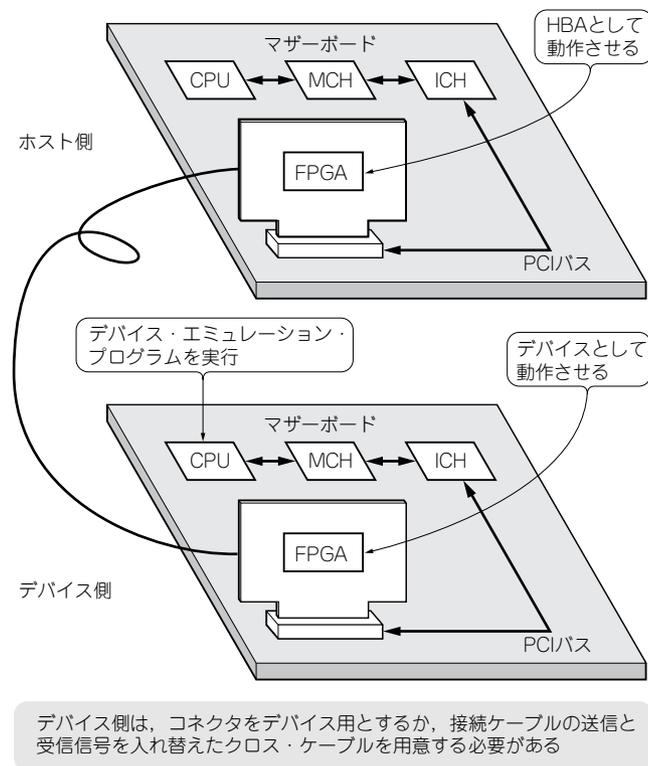


図2 デバイス (HDD) エミュレート構成

の差動信号と接続するため、FPGAのトランシーバとも接続します。この部分のインターフェース信号をアナログ・コア・インターフェース信号と呼びます。両信号の一覧と説明を表1に示します。

SATA_COREはこの二つの(FPGAの)内部インターフェースを持ったIPコアとなります。このIPコアはそのまま、あるいは必要に応じて改造して、FPGA内に実装して使用されることを想定しています。

● SATA_CORE 内部ブロック間

このSATA_CORE内部のブロック構成を図4に示します。各ブロックはできるだけシリアルATA規格の各階層に応じて分割しましょう。

アナログ・コア・インターフェース側に配置されるのはPHY_LINK_IF.vモジュールで、PHY層のデジタル部分とリンク下位層の機能をサポートします。つまり、PHYの初期化シーケンスを制御するとともに、受信側は10Bデータ×4個(=40ビット)を32ビット(+Kキャラクタ)のDwordへ組み立てます。送信側はその逆を行います。

次に配置されるのはLINK_TOP.vモジュールで、リンク上位層の機能をサポートします。このモジュールは内部クロックに同期しています。PHY_LINK_IF.vとLINK_TOP.v間のデータ受け渡しは、同期用の小容量FIFOで行われます。

LINK_TOP.vモジュール内部には、データ操作パスと、それらを制御する機能があります。データ操作パスは、受信したDwordからFrame Information Structure (FIS)相当部分だけ抜き出しデスクランブルしてトランスポート層へ渡す、あるいはトランスポート層からの

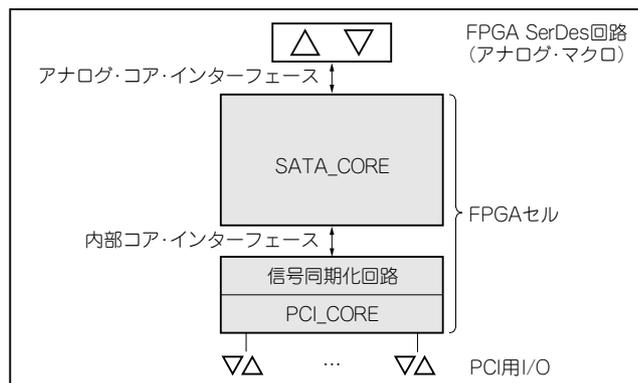


図3 SATA_COREを含むFPGA全体の概要

表1 SATA_COREの入出力信号

名前	ビット数	入出力	説明
レジスタ・バス			
I_CMD_CS	2	入力	チップ・セレクト
I_CMD_ADR	4	入力	アドレス
I_CMD_HOST	1	入力	アドレス・モード(文中参照)
I_CMD_WE	1	入力	ライト・イネーブル
I_CMD_RE	1	入力	リード・イネーブル
I_CMD_WD	16	入力	ライト・データ
O_CMD_RD	16	出力	リード・データ
O_CMD_NRDY	1	出力	アクセス・ノット・レディ
DMAバス			
I_DMACE_STT	1	入力	DMACスタート
I_DMACE_XMT_DEV	1	入力	DMAC方向 [1: SATA送信(ライト), 0: 受信(リード)]
I_DMACE_CNT	32	入力	データ数(ダブルワード単位)
I_DMACE_WDV	1	入力	DMACライト・データ・バリッド(有効)
I_DMACE_WD	32	入力	DMACライト・データ
I_DMACE_RDW	1	入力	DMACリード・データ・ウェイト
O_DMACE_RD	32	出力	DMACリード・データ
O_DMACE_DATA_INC	1	出力	DMACデータ・カウント(ライト時は受け取り応答、リード時は送り出し応答)
設定、クロック			
I_HOST_MODE	1	入力	SATA動作モード(1: ホスト, 0: デバイス)
CLK	1	入力	内部クロック
RST_N	1	入力	SATA_CORE全体リセット

(a) 内部コア・インターフェース信号

名前	ビット数	入出力	説明
データ系			
PHY_TD	10	出力	送信データ(10B)
PHY_TDV	1	出力	送信データ・バリッド(1: 出力, 0: Squelch(Hi-z))
PHY_RD	10	入力	受信データ(10B)
SQUELCH	1	入力	受信信号がSquelch状態
再同期			
PLL_TRAIN	1	出力	受信クロックの受信データへの同期化指示
PLL_LOCKED	1	入力	受信クロックの受信データへの同期化完了
クロック			
CLK_T	1	入力	送信クロック(150MHz; 1.5Gbps転送の場合)
CLK_R	1	入力	受信クロック

(b) アナログ・コア・インターフェース信号