



SiPモジュールとは何か?

——「選択肢の一つ」から「必要不可欠な技術」へ

海野雅史

最近、複数のダイ・チップを一つのパッケージに封止するSiP (system in package) モジュールが注目を集めている。小型化が要求され、かつSOC (system on a chip) を開発しにくい、あるいはSOCを開発しては要求される納期に間に合わないような用途でSiPモジュールが使われ始めている。ここでは、SiPモジュールの概要とSOCとの比較について述べる。また、筆者ら(日立製作所)の取り組みを例に、SiPモジュールの今後の動向についても紹介する。

(編集部)

現在、半導体業界では、製品開発の重要な指標の一つがプロセス技術の微細化であり、最新の製造プロセスを使うことで、LSIの小型化や高機能化、低消費電力化を実現しています。そして、半導体ビジネスの主流になっているのが、1チップにさまざまな機能を集積した「SOC (system on a chip)」です。

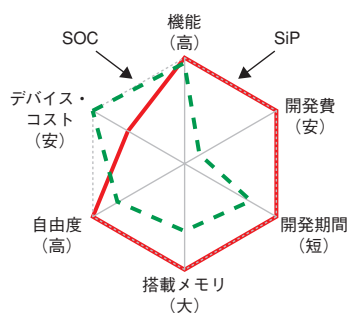
しかしその一方で、製品サイクルの短期化や開発コストの低減といった近年の市場動向に対して、SOCでは対応しきれない局面が増えています。例えば、SOCの開発期間や開発費用が増大しており、新規のプロセス技術を開発するための投資も莫大な金額になってきています。

このため、SOCを補完する存在として注目を集めているのが、多種多様なダイ・チップを単一のパッケージに封止する「SiP (system in package)」, あるいは「MCM (multi-chip module)」と呼ばれる手法です。この手法では、開発済みのダイ・チップをそのまま流用できるため、開発期間が短縮されたり、開発費用が抑えられたりします。

また、SOCでは、製造プロセス上の問題から、大容量のフラッシュ・メモリやDRAMを集積することが困難です。一方、SiPでは、さまざまなタイプのメモリを容易に混載できます。例えば、CPUチップとメモリ・チップを一つのパッケージに封止すれば、二つのチップの間的高速バスの設計が(ボード上では)不要になります。

このように、SOCを補完する形で注目されてきたSiPですが、最近の携帯型機器の市場では、SiPはなくてはならない存在になってきています。携帯型機器の基板は、部品の実装点数が増える一方で、実装面積は限界に近づいています。そこで、従来、基板上にバラバラに実装されていたチップをいくつか縦積みにしたスタック型SiPなどを使用することで、実装面積を抑える例が増えてきています。

ここでは、SiPの特徴や実装技術について解説し、さらにSiPのテストの概要や熱設計についても説明します。また、後半では、実際の製品の事例を交えながら、筆者ら(日立製作所)のSiPに対する取り組みや、今後の動向について



SOC
● 高性能にできる
● 面積を小さくできる

SiP
● 自由度がある
● 開発期間を短縮できる
● 大容量メモリを搭載できる
● ノイズを低減できる
● システム全体の費用を低減できる

→ 早期のシステム開発に有利

【図1】

SOCとSiPの比較

SiPは、SOCと比べて開発コストが低く、開発期間も短縮できる。また、大容量のメモリを搭載できるなどの特徴がある。

て説明します。

● SiP vs. SOC

図1に、SiPとSOCの特徴を比較しました。図2には、開発期間と開発費の比較を示します。

1) さまざまな種類のチップと大容量メモリを混載できる

製造プロセス上の問題から、SOCに搭載できるメモリの容量には上限があります。SiPの場合、製造済みのダイ・チップをそのまま利用するため、さまざまな種類の大容量メモリを混載できます。

また、SOCのような大規模なLSIをSiPの中に取り込むこともできます。この場合、例えば追加機能のチップを混載することで、SOCの機能を簡単にバージョン・アップすることができます。

2) 5～6週間でサンプル品を製作できる

昨今の市場では、製品を市場に投入するスピードがシェア獲得の成否を大きく左右しています。製造済みのチップをそのまま利用する場合、SiPの仕様決定からサンプル提出までの期間は5～6週間程度です(日立製作所の例)。SOCの手法と比べて、開発期間を大幅に短縮できます。また、開発費用もSOCの場合の約1/3～1/4に抑えることができます。

● SiP vs. ボード実装

次に、SiPとボード(プリント基板)実装の違いを考えてみましょう。

1) ボード上の高速バスの設計が不要に

システム全体の高速化・高性能化を図るためには、LSI間の信号遅延時間を小さくすることが必須です。しかし、

複数のパッケージを実装するボードの上では、信号がパッケージとプリント基板を介して伝播します。このため、配線長は長くなり、寄生インダクタンスや寄生容量の影響で配線負荷が増え、信号遅延時間が大きくなります。また、配線密度が上がらず、バス幅を広げにくいという問題もあります。

SiPの場合、インターポーザ(パッケージ内部の薄い基板)の中を最短距離で接続するため、配線長は短くなります。高速信号の配線をSiPの内部に置けば、プリント基板上の高速バスなどの設計が不要となります。つまり、ボード設計者の負担を減らすことができます(SiPを開発する側では高速バスへの配慮が必要になる)。

2) クロストーク対策やノイズ対策が軽減される

ボードに実装される部品が増えると、配線の引き回しが困難になり、クロストークなどの問題が深刻になってきます。SiPでは、各ダイ・チップを単一のパッケージに組み込み、配線設計の最適化を行っているため、クロストークの問題は減ります。

3) 顧客のシステム基板コストが下がる

近年の微細化・高性能化に伴って、チップの小型化や多ピン化、ピン・ピッチの微細化が進んでいます。また、部品点数の増加も著しく、結果として、基板面積の増大や基板接続数の増加、基板層数の増加などにより基板コストが増大しています。

SiPを使用する場合、基板面積や基板接続数、基板層数を低減できます。ボール・ピッチは1.27mmまたは0.8mmに対応できます。微細なピッチのLSIを基板に実装する場合、海外生産が難しいため、新たな生産拠点の確保や設備投資が必要となります。しかし、SiPを利用すること

〔図2〕

SOCとSiPの開発期間と開発費の比較

SiPの開発期間(仕様決定からサンプル完成まで)は約5～6週間である。また、実績のあるチップを利用する場合には、新規のチップの開発費が不要となる。つまりSOCと比べて、開発費を抑えることができる。

