

Verilog-AMS

実用モデリング講座

第2回

アナログ演算子や関数、 アナログ素子の記述を理解する



桜井 至, 石塚総一郎

前回(本誌 2003 年 3 月号, pp.111-119)は、アナログ設計手法や Verilog-AMS の基本構文について解説しました。今回は、アナログ演算子や算術関数、三角関数の記述法について説明します。また、抵抗モデルや電圧スイッチ・モデル、アンプなどの記述例も紹介します。(編集部)

前回は、アナログ設計の移り変わり、Verilog-AMS 言語の構文要素や構造、モデリングのフローなど、基本的な事項の説明を行いました。今回からは、実際の記述例を挙げながら Verilog-AMS を用いたモデリング手法について紹介します。

① 連続ベース・モデルとイベント・ベース・モデル

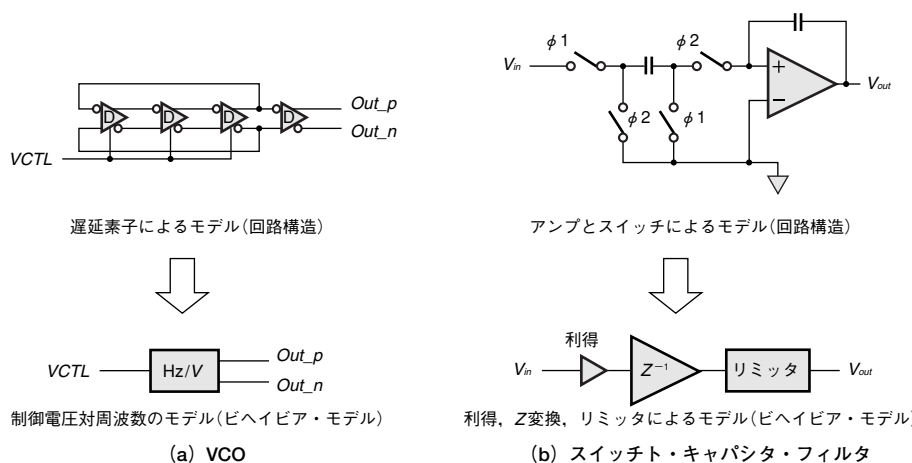
ここでは、どのようにモデリングを行えばアナログ・シミュレーションの効率が良くなるかについて説明します。

● アクティビティを減らしてシミュレーション時間を削減

アナログ・シミュレーションを高速化する方法には、主に二つのアプローチがあります。一つ目は、時間ポイントごとに必要な計算量を減らすことです。二つ目は、シミュレータが生成する時間ポイント数、つまりシミュレーションのアクティビティを減らすことです。アクティビティとは、回路内部の電圧や電流の変化の激しさを言います。アクティビティが高いと、回路のシミュレーションに必要な時間ポイントが増え、シミュレーションの速度は遅くなります。

一般に、時間ポイントごとの計算量を減らす手法には、例えばアンプのような線形トランジスタ回路を、これに対応する線形のビヘイビア・モデルに置き換える方法があります。ここで、入出力間に連続的な関数の関係が成立するタイプのモデルを、「連続ベース・モデル (continuous based model)」と呼びます。

一方、シミュレーションの時間ポイント数を減らすには、回路のアクティビティを減らす必要があります。アクティ



【図1】

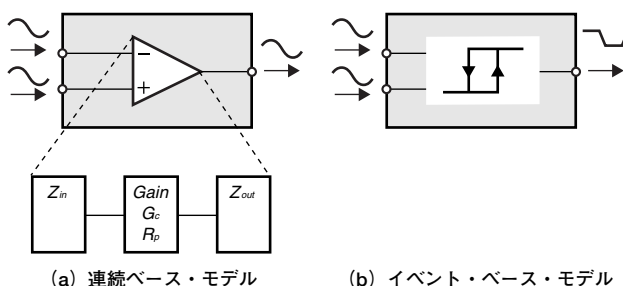
アクティビティの削減

回路内のネット数を減らすことで、回路のアクティビティを削減できる。例えば、VCOの遅延素子間のネットや、スイッチト・キャパシタのスイッチに接続されたネットなどを削減すれば、シミュレーションを高速に行える。

ビティの削減は、一般に回路内のネット数を減らすことに相当しますが、その場合、特に周波数の高いネットを削減すると有効です。例えば、VCO(電圧制御発振器)が遅延素子リングによって構成されているのであれば、図1に示したように遅延素子どうしを接続する高い周波数の内部ネットを削除することで、アクティビティを大幅に減らすことができます。

コンパレータなどをモデリングする場合、入力信号が特定の電圧と交差したときだけ、回路を評価するように記述することができます。このようなモデルは、特定のイベントが発生したときだけアクティビティを発生させることから、「イベント・ベース・モデル(event based model)」と呼ばれます。連続ベース・モデルとイベント・ベース・モデルは、異なる性格を持ちます。通常、連続ベースとイベント・ベースでは、イベント・ベースのほうが高速にシミュレーションできます。

アクティビティを減らすための対策として、アクティビティの高いネットをVerilog-D(デジタル回路記述)に変更する方法があります。例えば、VCOの入力をアナログ信号としたとき、VCOの出力をデジタル信号に置き替えます。出力をアナログ信号からデジタル信号に変更することによって、アナログ・ソルバ(アナログ回路の回路方程式などを解くプログラム)が扱わなければならない高い周波数のネットを削減することができます。アナログ・ソルバは、収束処理のための計算に時間がかかるため、デジタル・ソルバ(デジタル回路の動作を模擬するプログラム)よりシミュレーションの速度が遅くなります。デジタル・ソルバで扱えるようにモデリングの方法を変更することで、シミュレーションの速度は改善します。



〔図2〕 連続ベース・モデルとイベント・ベース・モデル

連続ベース・モデルでは、線形トランジスタ回路に対応するビヘイビア・モデルに置き替える。一方、イベント・ベース・モデルでは、入力信号が特定の電圧と交差したときのみ、回路の評価を行うように記述する。通常、イベント・ベース・モデルのほうがシミュレーションが高速になる。

さらに、シミュレーションの速度を高速にするための手法の一つとして、モデル化する範囲を実用的なレベルでできるだけ大きくする方法が挙げられます。これによって、アクティビティのネット数を削減することができ、計算時間を削減できます。

●連続ベースとイベント・ベースの比較

コンパレータを例として考えてみます(図2)。コンパレータの連続的な表現では、入出力インピーダンスや利得、出力スイングの制御などをモデル化します。また、出力から入力へのカップリングを組み込むことで、AC(交流)特性で必要とされる適切な正帰還回路を実現します。

イベント・ベース・モデルでは、定義されたしきい値電圧と入力イベントが交差するまで何も実行しないため、無限の利得とバンド幅を持ちます。イベント・ベース・モデルでは、アクティビティを単純化することで、シミュレーションを高速化することができますが、ダイナミックな効果を期待することはできません。表1に連続ベース・モデルとイベント・ベース・モデルの比較を示します。

2 アナログ演算子とアナログ関数

連続ベース・モデルでは時間ポイントごとに連続的に評価が行われるため、周辺回路との間で相互に影響し合うような回路をモデル化することができます。この種のモデリングには、主にアナログ演算子を用います。今回は、連続ベース・モデルの記述例を紹介し(イベント・ベース・モデルは次回に紹介する)。

●多数のアナログ演算子でアナログ回路を表現

アナログ演算子には、ddt, delay, idt, idtmod, laplace, limexp, slew, ziなどがあります。Verilog-AMSは、論理演算子や算術演算子だけでなく、多くの算術関数や三角関数をサポートしています。

〔表1〕 連続ベース・モデルとイベント・ベース・モデルの比較

	連続ベース・モデル	イベント・ベース・モデル
概要	シミュレーションの時間ステップごとに実行	入力イベントがトリガされたときのみ実行
長所	スムーズな伝達特性の定義が可能	高速なシミュレーションが可能、詳細なタイミング動作を記述できる
短所	比較的シミュレーションが遅い	重要な動作を無視する可能性がある