

汎用評価ボードの製作

FPGA周辺回路の設計法と注意点

井倉将実

ここでは、付属FPGA基板を使うにあたって最低限必要な知識をまとめる。特に回路設計において注意しなければならない点や活用ノウハウを紹介する。また具体的な設計事例として、付属FPGA基板を汎用的に使いやすくする評価ボードを製作する。ADPCM方式の音声再生回路を動作させる。(編集部)

筆者は、Cycloneを出荷開始と同時に入手し、特性試験や機能評価を行ってきました。そして回路を設計するにあたって、いくつか注意が必要だと感じた点がありました。例えば、電源電圧が1.5V系になったことやPLL用電源が追加されたこと、I/Oバンクという概念が出てきたことなどです。FPGAをこれまで使っていなかった人はもちろん、FLEX10KEファミリやACEX 1Kファミリを主に活用していた人にとっても、新しい機能の多いデバイスといえます。

そこで本稿では、本誌に付属するFPGA基板の使いかたを、筆者が思いつくままに解説します。また、回路設計例

として汎用評価ボードを設計しました。このボードについては、読者頒布サービスを行います(p.77のコラム「汎用評価ボードの読者頒布について」を参照)。

Cyclone 活用の基礎知識

●I/O インターフェース

最近のFPGAの多くは、I/Oピンをいくつかのグループに分割した構成になっています。Cycloneファミリもこの構成を持ち、I/Oを四つのバンクに分割しています。

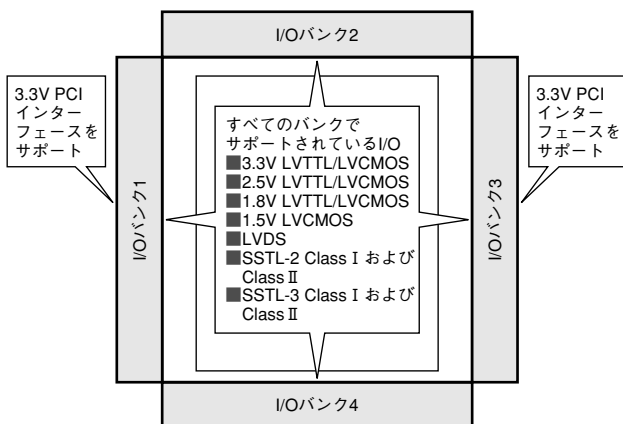
各I/Oバンクには、 V_{CCIO} というI/Oバンク専用の電源電圧ピンが用意されています。このピンに対して3.3Vや2.5VなどのI/Oインターフェース用の電源電圧を供給します。これにより、一つのFPGAで複数のI/O規格とインターフェースできるようになりました。 V_{CCIO} ピンを未接続状態にすることは禁止されています。必ず何らかの電圧を印加する必要があります。

付属FPGA基板では、すべてのI/Oバンクに対してあらかじめ3.3V電源が供給されています。すなわち、3.3VのLVTTTLまたはLVCMOSを使用することができます。

複数のI/Oバンクを持つことで、LVTTTLやLVCMOS、SSTLなどのさまざまなI/Oインターフェースを利用することができますが、ここで注意が必要です。I/Oバンクによっては使用できないインターフェースがあるのです。

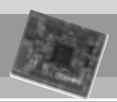
まず、付属FPGA基板に実装されているEP1C3では、PCIインターフェースは初めからサポートされていません。また、より上位のデバイスを利用したからといって、すべてのバンクで自由にPCIインターフェースを使えるというわけではありません。

図1は、Cyclone (EP1C3より上位のもの)のI/Oバンク



【図1】 I/Oバンクと使用できるインターフェース

EP1C3はPCIインターフェースをサポートしていない。より上位のデバイスでも、PCIインターフェースに対応するのはバンク1とバンク3だけである。



コラム トラブル・シューティング1 —— PLL使用時のエラー

EP1C3の内蔵PLLは1個だけです。またPLLを使うことができるグローバル・クロック・ピンが決まっています。

もしグローバル・クロック・ピンの指定をまちがえてしまうと、配置配線において次のようなエラーが発生します。

```
Error:Can't place fast or enhanced PLL xxx:xxxx
because I/O pin YYYY (port type INCLK of the PLL )
us assined to a location which is not connected to
port type INCLK of any PLL on the device
```

と使用できるインターフェースを表したものです。バンク1とバンク3はすべてのI/Oインターフェースを利用することができますが、バンク2とバンク4はPCI規格のI/Oインターフェースを利用することができません。したがって、PCIインターフェースにCycloneを採用する場合は、バンク1とバンク3を使用する必要があります。

このような点は、FPGA内部の論理設計で対応できることではありません。設計の初期段階で、十分に考慮する必要があります。また、Cycloneに限らずほかのFPGAファミリにもある制約なので、データシートのI/Oバンクに関する注意項目は必ず参照してください。

●クロックとPLL

付属FPGA基板には、クロック発振器が実装されていません。Cycloneは、2本のクロック専用ピン(グローバル・クロック)を持ちます。これは、FPGAの内部にあるクロック専用配線(グローバル・クロック・ネットワーク)に接続されています。

1本は、内蔵PLLのクロックとして使うこともできます。付属FPGA基板の場合、拡張ヘッダCN2のA01ピンで、FPGAの10番ピン(I/Oバンク1)になります。

もう1本は、PLLのクロックとしては使えません。内部クロック専用配線のみ接続されています。付属FPGA基板の場合、拡張ヘッダCN3のA01ピンで、FPGAの66番ピン(I/Oバンク3)になります。このため、付属FPGA基板でPLLを使う場合には、拡張ヘッダCN2のA01ピンで、FPGAの10番ピンにクロックを供給しなければなりません(上掲のコラム「トラブル・シューティング1」を参照)。ただし、Cycloneファミリの上位デバイスは2個のPLLを内蔵しています。この場合、上記の制約はありません。

PLL機能というのは、簡単に言えば外部から供給されたクロックに同期して内部発振回路を制御し、任意の分周/

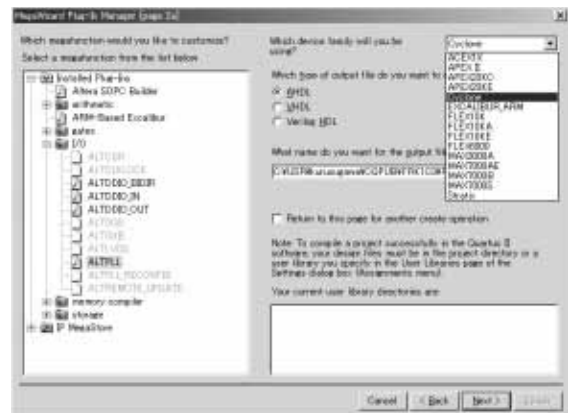
てい倍を行ったクロックを得る機能です。1/2や1/4の分周クロックはカウンタを用いることで生成できましたが、デューティ比が1:1の1/3クロックや3倍、6倍、9倍などの2のべき乗では得られないクロックを作り出すことができますので、非常に便利です。

PLLを利用するためには、FPGA開発ツールのQuartus IIのMegaWizardで「ALTPLL」というモジュールを選択します(図2)。一つのクロック入力から、最大2系統のFPGA内部駆動クロックと1系統の外部I/O出力専用クロックが生成できます。そして、PLL特有の機能であるクロック・フィードバックは内部専用クロック、I/O出力専用クロック、または「同期化をしない」というモードの三つのうちの一つを選ぶことができます。

●内蔵メモリ・ブロック

付属FPGA基板に搭載されているEP1C3は、4,608ビットのSRAMを13個、合計で59,904ビットのメモリを内蔵します。

FLEX10Kなどにも内蔵メモリはありました。しかし



【図2】 PLLの使いかた

Quartus IIのMegaWizardの画面。ALTPLLを選択する。