

第1章

設計の基本は仕様の理解

高速シリアル通信を実現するために
知っておくべき最低限の知識

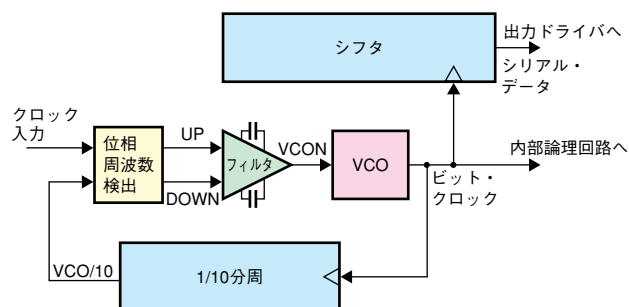
掛須利夫

ここでは、100Mbpsを超える高速シリアル・インターフェースが台頭した技術的背景と、機器開発者に要求される基本的な知識について解説する。例として、最大データ転送速度が480MbpsのUSB 2.0ハイスピード・モードを取り上げる。仕様書の読みかたや用語、従来のUSB規格との相違点などを説明する。
(編集部)

RS-232-Cに代表されるように、これまでのシリアル通信は装置間のインターフェースで多く用いられてきました。ところが、最近ではパソコンの周辺機器の接続にもUSBやSerial ATA¹⁾、PCI Express²⁾といった高速シリアル通信が使用され始めています。加えて、装置内のプリント基板を接続するバックプレーンにもシリアル通信が採用されています。

1. 高速シリアル通信のためのハード技術

シリアル通信は、異常の検出と予備ラインへの切り替えが簡単です。そのため、戦闘機を含む飛行機ではフライ



〔図1〕 送信PLL回路

パラレル信号の書き込みクロックから10倍のシリアル・クロックを作り出して、送信レジスタをシフト・アウトする。

ト・コントローラ（飛行制御装置）や無線装置、レーダ装置に使用されてきました。また、自動車にもLIN (Local Interconnect Network)³⁾バスが使用され始めています。いずれもRS-232-Cに近い通信速度(kbpsオーダー)です。

シリアル通信は、パラレル通信と比べて同じデータ量で転送速度が10倍以上も速くなるため、設計が難しくなります。そのため、高速デジタル・インターフェースの通信方式としては敬遠されてきました。ところが、近年、半導体の微細化によってデバイスの動作速度が飛躍的に向上したため、高速シリアル通信が幅広く利用されるようになってきています。

●クロック・リカバリ回路が重要

シリアル通信に必要な技術として、パラレル-シリアル変換、シリアル-パラレル変換は当然ですが、クロック・リカバリ回路も重要です。

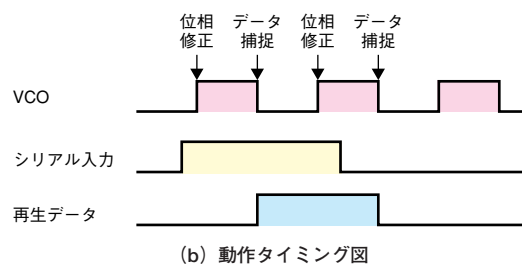
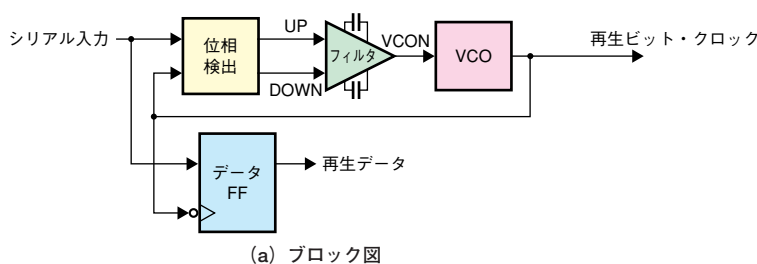
クロック・リカバリは、受信したデータの変化を見てクロック信号を再生する技術です。ほとんどのクロック・リカバリ回路ではPLL (phase-locked loop) を使用しています。外部RLCを不要にした高速PLLの発達によって、100MHzをはるかに超えるシリアル通信が可能となりました。

高速シリアル通信のために、特に重要なハードウェア技術を以下で説明します。

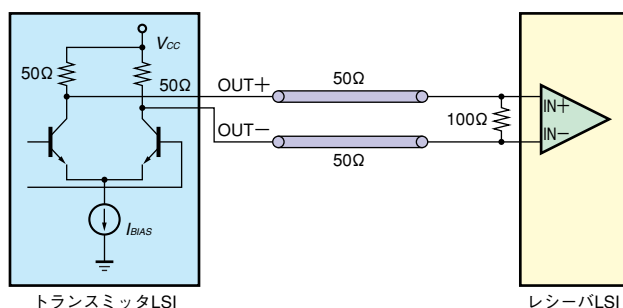
1) 送信PLL回路

一般に、10ビット・パラレル・データ入力の送信回路は図1のようになっています。パラレル信号の書き込みクロックから10倍のシリアル・クロックを作り出して、送信レジスタをシフト・アウトしています。

パラレル・データの重要なパラメータとしてはスキュー（信号線間のタイミングのズレ）が挙げられます。一方、シ



〔図2〕受信PLL回路



〔図3〕CML回路

CMLはコレクタ出力であり、エミッタ電流を定電流回路で固定している。出力インピーダンスは負荷インピーダンスに対して無視できるほど高いので、「出力プルアップ抵抗=出力インピーダンス」となる。

リアル・データではジッタ（信号波形の立ち上がり/立ち下がり周期が不安定になること）が重要なパラメータとなります。

2) 受信PLL回路

10ビット・シリアル・データ入力の受信回路は、通常、**図2**のようになっています。シリアル・データの状態変化点にPLLをロックさせて、クロックを再生します。PLLの追従速度には限界があるので、シリアル・データのジッタによる位相シフトが大きくなると、受信エラーとなります。

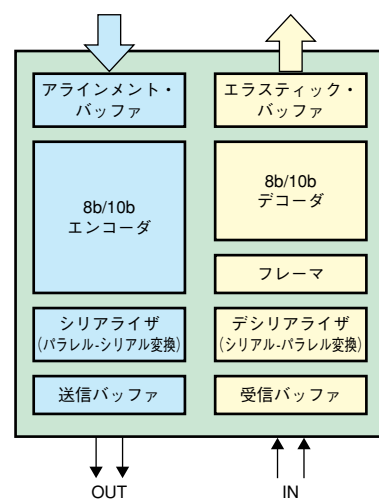
3) トランスミッタ

対象となる伝送線を駆動するため、トランスミッタ（送信器）は使用目的によって変わります。例えば、デジタル画像通信で使用されるSMPTE^{注1}およびDVB-ASI^{注2}では、75Ωの同軸ドライバが必要となります。光ファイバ用モジュールではPECL (positive emitter coupled logic) インターフェースが標準です。PECLはエミッタ・フォロワなので、出力インピーダンスが低く、電圧は負荷に依存せず一定となります。しかし、エミッタ電流を適正值にするバイアス電圧 ($V_T = V_{cc} - 2.0V$) が必要であり、送信端におけるインピーダンス整合回路が複雑になります。

〔図4〕

クロック載せ替え機能を持つトランシーバ

パラレル・データとシリアル・データの変換を行う際、クロックの載せ替えが重要である。送信側ではアラインメント・バッファを用いてPLLのシリアル・データ・クロックにパラレル・データ入力を同期させる。受信側ではエラスティック・バッファによってパラレル・データ出力を外部基準クロックに同期させる。



Gbpsの伝送速度になるとインピーダンス・マッチングが容易なCML (current mode logic)⁴⁾が使われます(**図3**)。CMLはコレクタ出力であり、エミッタ電流を定電流回路で固定しています。出力インピーダンスは負荷インピーダンスに対して無視できるほど高いので、「出力プルアップ抵抗=出力インピーダンス」となります。信号の電圧振幅は定電流回路で設定したスイッチング電流値とプルアップ抵抗の積となり、インターフェースがきわめて容易です。

4) アラインメント・バッファとエラスティック・バッファ

パラレル-シリアル変換/シリアル-パラレル変換ではクロックの載せ替えが重要になります。この機能を設計時に取り込まなかったために、評価する際に修復しがたいキャラクター・エラーが発生することがあります。

クロックの載せ替えは送信か受信かによって異なります。送信側ではアラインメント・バッファを使用します(**図4**)。

注1：米国Society of Motion Picture and Television Engineersが策定したデジタル映像に関する規格。

注2：欧州におけるデジタル・テレビ放送の方式。非同期シリアル・インターフェース。