

高速シリアル・インターフェースの計測ノウハウ

— Gbpsの信号を正しく観測するために

畑山 仁

検証やデバッグ、標準規格への適合性テストなどのために行う計測では、プロービング(信号の接続)、信号の取り込み、取り込み情報の解析などを行います。このとき、適切なツールの選択とツールの正しい運用が、迅速で正確な計測につながります。本稿では、Gbpsのバンド幅を持つ高速シリアル・インターフェースについて、正しく計測を行う方法を解説します。

(筆者)

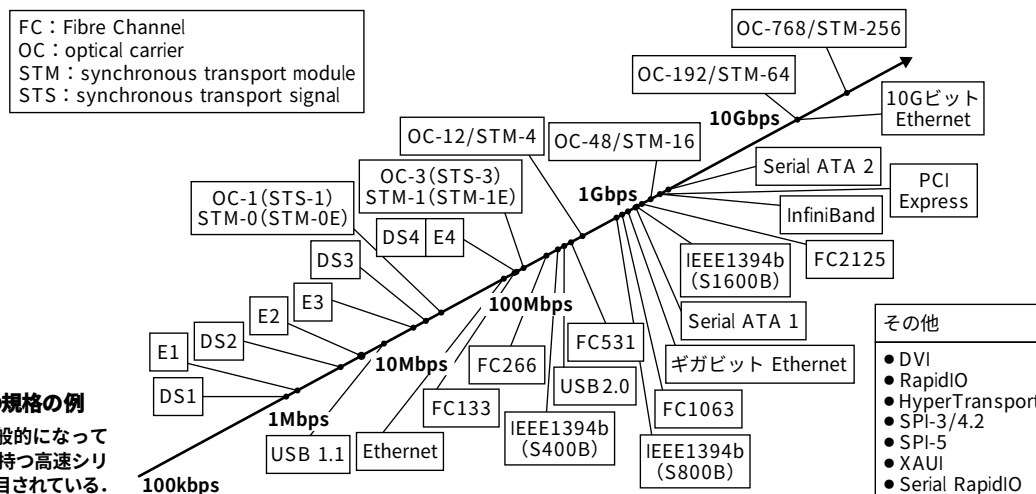
コンピュータやネットワーク機器は高速化の一途をたっています。ブロードバンドや第3世代携帯電話サービスなどにより、動画をはじめ、大量のデータ転送・処理が必要になったためです。このため、既存のインターフェースの高速版や新しい高速インターフェースの規格が提案されています(図1)。PCI ExpressやSerial ATAのように、従来、パラレル伝送方式だったバス規格のシリアル化がトレンドです。今後、高速シリアル・インターフェースの設計に携わる方が増えるのではないのでしょうか。Gbpsとまでは

いかなくても、480MbpsのUSB 2.0はすでに一般的になっています。最近のFPGAが標準で持つLVDS(low voltage differential signaling)インターフェースを数百MHz程度で活用する設計も増えています(p.52のコラム「数百MHzまでの計測」を参照)。

高速シリアル・インターフェースの設計では、さまざまな計測器を利用します。しかし、やはりオシロスコープが基本であり、不可欠なものになっています。もともと信号線数を削減する代わりに高速にデータ転送を行うように設計されたインターフェースです。信号が高速化すると、インピーダンスの乱れや高周波損失など、伝送線路のさまざまな影響を受けて、アナログ的な信号品質の維持が非常に困難になります。信号品質の劣化は、伝送エラーに直結し、システムとしての信頼性を低下させます。また、機器間のインターオペラビリティ(相互接続性)のため、物理層の信号が規格で定められた仕様に適合していることを保証しなくてはなりません。

図1
シリアル・インターフェースの規格の例

480MbpsのUSB 2.0はすでに一般的になっている。最近ではGbpsのバンド幅を持つ高速シリアル・インターフェース規格が注目されている。



Column ログ認証とプラグフェスタ

高速シリアル・インターフェースでは、規格によっては設計した機器が仕様に適合していることを保証するために、ログ認証を受けなければなりません。ログ認証には、認定された機関による認証テストを受ける方式と、社内のテスト結果を標準規格団体に申請する方式があります。前者の方式ではUSBが、後者ではHDMI (High-Definition Multi-media Interface) が代表的です。外部機関による認証テストの場合でも、一度でテストに合格するためには、事前に予備テストを行っておくことが重

要です。

また、標準規格団体は、「プラグフェスタ (Plugfesta)」と呼ぶイベントを開催しています。プラグフェスタでは、現在開発中の機器を持ち込み、規格適合がすでに確認されている機器と実際に接続して、インターオペラビリティを確認できます。計測器メーカーも参加しているので、その場で各種の計測器を利用したり、サービスを受けたりすることができます。開催時期は、各団体のWebサイトで確認してください。

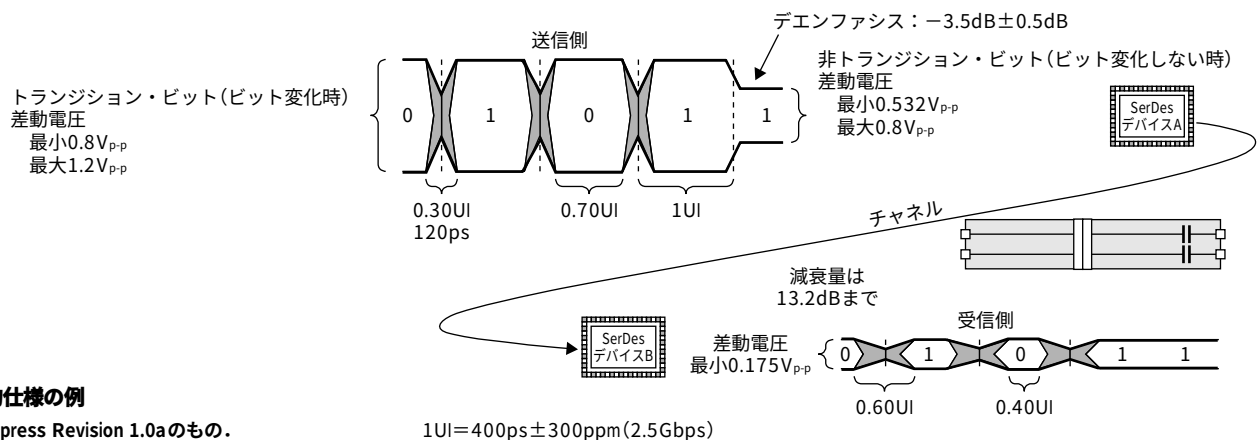


図2
電氣的仕様の例

PCI Express Revision 1.0aのもの。

そこで本稿では、高速シリアル・インターフェースの設計を前提に、そこで求められる計測技術を解説します。

Gbps信号の特徴と測定事項

高速シリアル・インターフェースの標準規格では、通常、その適合性テスト仕様に、振幅、タイミング、ジッタおよびアイ・ダイアグラムの測定方法が記載されています。PCI Expressの電氣的仕様の例を図2に示します。重要な点は、各規格によって定められた方法に従って測定を行う必要があることです(上掲のコラム「ログ認証とプラグ・フェスタ」を参照)。

● 振幅測定

伝送媒体を通過し、受信回路に適切な情報を伝達するためには、信号が求められる電圧レベルと安定性を維持していることが必要です。

1) ピーク間差動電圧

今日の高速シリアル・インターフェースは、小振幅化した信号に対してジッタ低減やノイズに対する耐性を高める

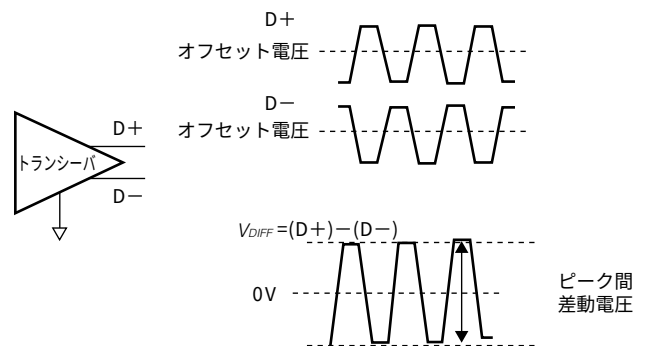


図3 差動測定

互いに逆極性の1対の信号のピーク間差動電圧(D+, D-間の差分)を測定する。オフセット電圧はAC結合されたシステムでは0Vになる。D+, D-のオフセット電圧が等しければ、差動信号成分のオフセットはキャンセルされる。

ために、LVDSやCML (current mode logic) などの差動信号を使用しています。これは、互いに逆極性の2本で1対の信号です(図3)。そのため、ピーク間差動電圧(D+, D-間の差分)が規定されています。これはトランシーバが正しい電圧レベルを送信していることを保証する基本的な仕様です。最小電圧が確保されており、伝送路損失が規定された範囲内であれば、レシーバに到達することが保証